

日本国特許庁
JAPAN PATENT OFFICE

29.10.03

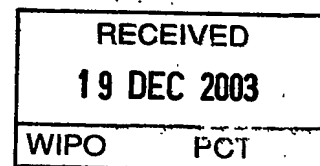
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年10月31日

出願番号
Application Number: 特願2002-318108
[ST. 10/C]: [JP2002-318108]

出願人
Applicant(s): 株式会社リコー

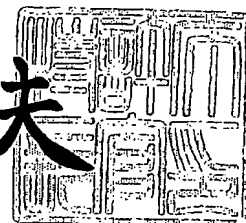


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年12月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特2003-3100100

【書類名】 特許願

【整理番号】 186400

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 5/06

【発明の名称】 半導体レーザ駆動装置、半導体レーザ駆動方法及び半導体レーザ駆動装置を使用した画像形成装置

【請求項の数】 20

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 京極 浩明

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 池田 順一

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込1丁目3番6号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザ駆動装置、半導体レーザ駆動方法及び半導体レーザ駆動装置を使用した画像形成装置

【特許請求の範囲】

【請求項 1】 所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置において、前記半導体レーザの発振しきい値電流未満の所定の第 1 電流を生成して該半導体レーザに常時出力する第 1 電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第 2 電流を生成して前記半導体レーザに出力する第 2 電流生成回路部と、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第 3 電流を生成して該半導体レーザに出力する第 3 電流生成回路部と、

前記第 2 電流生成回路部に対して、所定の補助電流を生成させて前記半導体レーザに出力させる補助電流制御回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られた前記第 2 電流の電流値を示す信号を前記第 2 電流生成回路部に出力する初期化回路部と、

を備え、

前記第 3 電流生成回路部は、前記第 1 電流、第 2 電流、第 3 電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第 3 電流を生成して出力することを特徴とする半導体レーザ駆動装置。

【請求項 2】 前記初期化回路部は、常温時と所定の高温時にそれぞれ前記初期化動作を行い、前記補助電流制御回路部に対して、前記補助電流が常温時と該高温時において半導体レーザから同一の発光量が得られるそれぞれの第 2 電流の差電流以上になるように前記第 2 電流生成回路部に該補助電流を生成させることを特徴とする請求項 1 記載の半導体レーザ駆動装置。

【請求項 3】 前記第 2 電流生成回路部は、所定の基準電流を生成し、入力されたデジタル信号に応じて該基準電流を基に生成した電流を出力する電流出力型の D/A コンバータで構成され、前記補助電流制御回路部は、該 D/A コン

バータの基準電流に所定の電流を加えることを特徴とする請求項 1 又は 2 記載の半導体レーザ駆動装置。

【請求項 4】 前記補助電流制御回路部は、電流出力型の D/A コンバータで構成されることを特徴とする請求項 3 記載の半導体レーザ駆動装置。

【請求項 5】 前記第 1 電流生成回路部、第 2 電流生成回路部、第 3 電流生成回路部、補助電流制御回路部及び初期化回路部は 1 つの IC に集積されることを特徴とする請求項 1、2、3 又は 4 記載の半導体レーザ駆動装置。

【請求項 6】 所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置において、

前記半導体レーザの発振しきい値電流未満の所定の第 1 電流を生成して該半導体レーザに常時出力する第 1 電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第 2 電流を生成して前記半導体レーザに出力する第 2 電流生成回路部と、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第 3 電流を生成して該半導体レーザに出力する第 3 電流生成回路部と、

所定の補助電流を生成して前記半導体レーザに出力する補助電流生成回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られる前記第 2 電流の電流値を示す信号を前記第 2 電流生成回路部に出力する初期化回路部と、
を備え、

前記第 3 電流生成回路部は、前記第 1 電流、第 2 電流、第 3 電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第 3 電流を生成して出力することを特徴とする半導体レーザ駆動装置。

【請求項 7】 前記補助電流生成回路部は、常温時と所定の高温時において半導体レーザから同一の発光量が得られるそれぞれの第 2 電流の差電流以上になるように前記補助電流を生成することを特徴とする請求項 6 記載の半導体レーザ駆動装置。

【請求項 8】 前記補助電流生成回路部は、入力された信号に応じた電流値

の補助電流を生成して前記半導体レーザに出力し、前記初期化回路部は、常温時と所定の高温時にそれぞれ前記初期化動作を行い、該補助電流生成回路部に対して、常温時と該高温時において半導体レーザから同一の発光量が得られるそれぞれの第2電流の差電流以上になるように前記補助電流を生成させることを特徴とする請求項7記載の半導体レーザ駆動装置。

【請求項9】 前記第2電流生成回路部及び補助電流生成回路部は、所定の基準電流を生成し、入力されたデジタル信号に応じて該基準電流を基に生成した電流を出力する電流出力型のD/Aコンバータでそれぞれ構成されることを特徴とする請求項6、7又は8記載の半導体レーザ駆動装置。

【請求項10】 前記第1電流生成回路部、第2電流生成回路部、第3電流生成回路部、補助電流生成回路部及び初期化回路部は1つのICに集積されることを特徴とする請求項6、7、8又は9記載の半導体レーザ駆動装置。

【請求項11】 前記初期化回路部は、初期化動作時において、前記第2電流生成回路部に対して第2電流及び補助電流の出力を停止させ、前記半導体レーザが所定値P1の $1/N$ の発光量で発光するように、前記第3電流生成回路部に対して第3電流を出力させた後、前記第2電流生成回路部に対して、第2電流のみを出力させると共に半導体レーザの発光量の検出を行って該半導体レーザの発光量が所定値P1になるまで該第2電流を増加させ、半導体レーザの発光量が所定値になった時点の第2電流値を記憶し、通常動作時に該記憶した第2電流値を $N/(N-1)$ 倍した電流を第2電流として出力させることを特徴とする請求項1、2、3、4、5、6、7、8、9又は10記載の半導体レーザ駆動装置。

【請求項12】 前記第3電流生成回路部は、
半導体レーザの発光量を検出し、該検出した発光量を電圧に変換して出力する発光量検出回路と、

入力された電圧を電流に変換して前記半導体レーザに出力する電圧-電流変換回路と、

前記発光量検出回路からの出力電圧があらかじめ設定された所定値になるように該電圧-電流変換回路の入力電圧を制御して前記半導体レーザの発光量を制御する発光量制御回路と、

入力された制御信号に応じて、該発光量制御回路から出力された電圧の前記電圧-電流変回路への出力制御を行う第1スイッチ回路と、

前記発光量制御回路から該第1スイッチ回路を介して前記電圧-電流変換回路に出力された電圧を保持するホールドコンデンサと、

前記第1スイッチ回路の動作制御を行う制御回路と、
を備えることを特徴とする請求項11記載の半導体レーザ駆動装置。

【請求項13】 前記初期化回路部は、前記初期化動作を行った直後の通常動作時には、前記ホールドコンデンサの充電電圧を放電させた後、前記制御回路の動作制御を行って、前記発光量制御回路から出力された電圧を前記電圧-電流変回路へ出力するように前記第1スイッチ回路を動作させることを特徴とする請求項12記載の半導体レーザ駆動装置。

【請求項14】 前記発光量制御回路は、
所定の基準電圧を生成して出力する基準電圧発生回路と、
該基準電圧発生回路から出力され基準電圧を、入力された制御信号に応じた分圧比で分圧して出力する分圧回路と、

該分圧回路の出力電圧と該基準電圧との電圧を比較し、該比較結果を示す電圧を出力する電圧比較回路と、
を備え、

前記初期化回路部は、初期化動作時に、該分圧回路の分圧比を制御して、半導体レーザの発光量を変えることを特徴とする請求項12又は13記載の半導体レーザ駆動装置。

【請求項15】 所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置の半導体レーザ駆動方法において、

前記半導体レーザの発振しきい値電流未満の所定の第1電流を生成し、

前記半導体レーザの発光特性の検出を行う初期化動作を行って検出した発光特性から得られた半導体レーザを発光させるための第2電流を生成し、

常温時と所定の高温時にそれぞれ前記初期化動作を行って常温時と該高温時に半導体レーザから同一の発光量が得られるそれぞれの第2電流の差電流以上にな

る補助電流を生成し、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第3電流を生成し、

前記第1電流、第2電流、第3電流及び補助電流の和電流を前記半導体レーザに出力して得られた該半導体レーザの発光量が所定値で一定になるように、前記第3電流を生成することを特徴とする半導体レーザ駆動方法。

【請求項16】 前記初期化動作時に、

前記第2電流及び補助電流の半導体レーザへの出力を停止し、

前記半導体レーザが所定値P1の $1/N$ の発光量で発光するように前記第3電流生成して出力し、

前記第2電流のみを出力すると共に半導体レーザの発光量の検出を行って該半導体レーザの発光量が所定値P1になるまで該第2電流を増加させ、

半導体レーザの発光量が所定値になった時点の第2電流値を記憶し、

通常動作時に、

前記記憶した第2電流値を $N/(N-1)$ 倍した電流を第2電流として前記半導体レーザに出力することを特徴とする請求項15記載の半導体レーザ駆動方法。

【請求項17】 半導体レーザの発光量を電圧に変換し、

該変換した電圧と所定の基準電圧との電圧比較を行って該比較結果を示す電圧を生成し、

該比較結果を示す電圧を保持し、

該保持した電圧を電流に変換して前記第3電流を生成することを特徴とする請求項15又は16記載の半導体レーザ駆動方法。

【請求項18】 前記初期化動作を行った直後の通常動作時には、前記保持した電圧を低下させて前記第3電流を生成し、該第3電流を前記第1電流、第2電流及び補助電流と共に前記半導体レーザに出力することを特徴とする請求項17記載の半導体レーザ駆動方法。

【請求項19】 所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置を有する

画像形成装置において、

前記半導体レーザ駆動装置は、

前記半導体レーザの発振しきい値電流未満の所定の第 1 電流を生成して該半導体レーザに常時出力する第 1 電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第 2 電流を生成して前記半導体レーザに出力する第 2 電流生成回路部と、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第 3 電流を生成して該半導体レーザに出力する第 3 電流生成回路部と、

前記第 2 電流生成回路部に対して、所定の補助電流を生成させて前記半導体レーザに出力させる補助電流制御回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られた前記第 2 電流の電流値を示す信号を前記第 2 電流生成回路部に出力する初期化回路部と、

を備え、

前記第 3 電流生成回路部は、前記第 1 電流、第 2 電流、第 3 電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第 3 電流を生成して出力することを特徴とする画像形成装置。

【請求項 20】 所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置を有する画像形成装置において、

前記半導体レーザ駆動装置は、

前記半導体レーザの発振しきい値電流未満の所定の第 1 電流を生成して該半導体レーザに常時出力する第 1 電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第 2 電流を生成して前記半導体レーザに出力する第 2 電流生成回路部と、

所定の補助電流を生成して前記半導体レーザに出力する補助電流生成回路部と、

前記半導体レーザの発光量を検出して該発光量が所定値になるように第 3 電流を生成し、該半導体レーザに出力する第 3 電流生成回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られる前記第 2 電流の電流値を示す信号を前記第 2 電流生成回路部に出力する初期化回路部と、
を備え、

前記第 3 電流生成回路部は、前記第 1 電流、第 2 電流、第 3 電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第 3 電流を生成して出力することを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レーザプリンタの光書き込み、光データ通信、光ディスク等に使用される半導体レーザの駆動制御を行う半導体レーザ駆動装置及びその半導体レーザ駆動方法、並びに半導体レーザ駆動装置を使用した画像形成装置に関するものである。

【0002】

【従来の技術】

従来の半導体レーザの駆動回路は、無バイアス方式と有バイアス方式に大別される。無バイアス方式とは、半導体レーザのバイアス電流を 0 に設定し、入力信号に対応するパルス電流で半導体レーザを駆動する方式である。これに対して、有バイアス方式とは、半導体レーザのバイアス電流を半導体レーザの発振しきい値電流に設定し、常時該バイアス電流を流しながら、入力信号に対応するパルス電流を前記バイアス電流に加えて半導体レーザを駆動する方式である。

【0003】

発振しきい値電流の大きな半導体レーザを前記無バイアス方式で駆動する場合、入力信号に対応する駆動電流が半導体レーザに入力されても、該半導体レーザは、レーザ発振が可能な濃度のキャリアが生成されるまでにある程度の時間を要し、発光するまでに遅延時間が生じる。入力信号が発光遅延時間より十分大きく発光遅延量が無視できる場合は問題ないが、レーザプリンタ、光ディスク装置、デジタル複写機等で半導体レーザを高速に駆動したい場合は、所望の発光時間よ

りも短い時間の半導体レーザの発光しか得ることができなかった。

【0004】

そこで、半導体レーザの発光遅延時間を小さくするために、半導体レーザにあらかじめ発振しきい値電流を流す有バイアス方式が提案されていた。該有バイアス方式は、あらかじめ半導体レーザに該発振しきい値電流を流していることから、前記発光遅延時間をなくすることができる。しかし、半導体レーザは、消灯中であっても、常時、発振しきい値付近で微少に発光（通常は $200\mu\text{W}\sim 300\mu\text{W}$ ）しているため、光通信の場合は消光比が小さくなり、レーザプリンタ及びデジタル複写機等の場合には、地肌汚れの原因になっていた。

【0005】

このため、光通信の分野では、基本的には無バイアス方式を使用し、半導体レーザを発光させる直前に発振しきい値電流を流す構成が提案されている（例えば、特許文献1及び特許文献2参照。）。ところが、最近では、レーザプリンタ及びデジタル複写機等において、更なる高解像度化を求めて、 650nm の赤色半導体レーザや、 400nm の紫外半導体レーザ等を用いたシステムが実用化され始めている。これらの半導体レーザは従来の $1.3\mu\text{m}$ 、 $1.5\mu\text{m}$ 及び 780nm 帯の半導体レーザに比べ、レーザ発振が可能な濃度のキャリアが生成されるまでに、多くの時間を要する特性を有しており、このような方法を用いても、所望の発光時間よりも短い時間の半導体レーザの発光しか得ることができないという問題があった。

【0006】

このような問題を解決するために、本願出願人は、図13に示すように、レーザダイオードLDに対して、バイアス電流生成回路111から常時出力されるバイアス電流 I_{bi} 、レーザダイオードLDの発光量を所望の値にするために電圧-電流変換回路104から出力される電流であるサンプルホールド電流 I_{sh} 、及び初期化回路108から入力されるデジタルデータに応じた電流を出力する電流出力型のD/Aコンバータ（以下、DACと呼ぶ）で構成された発光電流生成回路110の出力電流である発光電流 I_{dac} の和電流を供給して駆動する方式を提案している。

【0007】

バイアス電流 I_{bi} は 1mA 程度のわずかな電流であり、発光電流 I_{dac} は、初期化回路 108 による初期化動作によってレーザダイオード LD の発光特性が調べられて設定される。サンプルホールド電流 I_{sh} は、レーザダイオード LD の発光量に応じてフォトダイオード PD から出力されるモニタ電流を可変抵抗 112 で電圧に変換されて得られる電圧 V_{pd} が所定の基準電圧 V_r になるように APC 制御 (Auto Power Control) が行われて設定される。

【0008】

図 14 は、図 13 で示した各信号のタイミングチャートであり、図 14 を用いて図 13 の半導体レーザ駆動装置の動作について説明する。

レーザダイオード LD に対して発光制御を行うために外部から入力される発光入力信号 S_i は、制御回路 109 で遅延されて発光オン信号 S_a となって発光電流生成回路 110 に出力される。制御回路 109 から出力される SW 制御信号 S_b は、発光入力信号 S_i がアサートされると同時にアサートされ、発光オン信号 S_a がデリアサートされるまでアサート状態を保つ。

【0009】

LD 駆動電流 I_{op} は、レーザダイオード LD を駆動する電流であり、発光電流 I_{dac} 、サンプルホールド電流 I_{sh} 及びバイアス電流 I_{bi} の和電流である。発光入力信号 S_i がハイ (High) レベルに立ち上がるまでは、レーザダイオード LD にはバイアス電流 I_{bi} だけが供給されている。発光入力信号 S_i がハイレベルに立ち上がってアサートされると直ちにサンプルホールド電流 I_{sh} が加算され、レーザダイオード LD には、バイアス電流 I_{bi} にサンプルホールド電流 I_{sh} が加算された電流が供給される。このときのサンプルホールド電流 I_{sh} は、レーザダイオード LD の発振しきい値電流 I_{th} からバイアス電流 I_{bi} を引いた電流値になる。

【0010】

次に、発光入力信号 S_i がハイレベルになってから所定の時間経過後にハイレベルに立ち上がってアサートされた発光オン信号 S_a によって、発光電流生成回路 110 は、初期化回路 108 から入力されたデジタルデータ信号 S_D に応じ

た電流値 I_{η} の発光電流 I_{dac} が発光電流として LD 駆動電流 I_{op} に加算され、レーザダイオード LD から所望の発光量を得ることができる。このように、レーザダイオード LD がバイアス電流 I_{bi} で活性化されインピーダンスが小さくなっているため、レーザダイオード LD は、発振しきい値電流 I_{th} に対する応答特性が改善され、レーザダイオード LD から所望のパルス幅の発光パルスを得ることができる。

【0011】

【特許文献1】

特開平4-283978号公報

【0012】

【特許文献2】

特開平9-83050号公報

【0013】

【発明が解決しようとする課題】

しかし、図15で示すように、周囲温度が上昇すると、レーザダイオード LD の発光特性が変化し、まず、レーザダイオード LD の発振しきい値電流 I_{th} が大きく増加する。更に、発振しきい値電流 I_{th} から所望の発光出力が得られるまでの発光電流 I_{dac} の電流値 I_{η} は、微分効率が小さくなるために増加する。このことから、高温時には、発光電流 I_{dac} の電流値 I_{η} を大きくする必要がある。なお、図15では、(a) は常温での初期化動作を行ったときの各電流値を示しており、(b) は、周囲温度が高温に推移したときの各電流値を示しており、(c) は高温での初期化動作を行ったときの各電流値を示している。

【0014】

初期化回路108は、常温時の初期化動作によってレーザダイオード LD の特性を調べ、発光電流生成回路110に対して、得られた特性に応じた電流値 I_{η} の発光電流 I_{dac} を出力させる。常温時のレーザダイオード LD における発振しきい値電流 I_{th} の電流値を I_{thA} とし、常温時の初期化動作によって設定された発光電流 I_{dac} の電流値を $I_{\eta A}$ とし、常温時のサンプルホールド電流 I_{sh} の電流値を I_{shA} とする。この場合、 $I_{thA} = I_{shA} + I_{bi}$ が成

り立つ。

【0015】

常温時の初期化後に周囲温度が高温になった場合にレーザダイオードLDから所望の発光量が得られるようにするには、周囲温度の上昇に伴う微分効率の減少によって発光電流 I_{dac} の電流値 I_{η} が増加した分は、サンプルホールド電流 I_{sh} を増加させる必要がある。図15の(b)で示すように、サンプルホールド電流 I_{sh} が I_{shA} から I_{shAa} に増加しており、これは、設定された発光電流 I_{dac} の電流値 $I_{\eta A}$ が初期化回路108による初期化動作を行わないと変わらないためである。

【0016】

この場合、サンプルホールド電流 I_{sh} によってAPC制御が行われるため、サンプルホールド電流 I_{sh} とバイアス電流 I_{bi} の和 ($I_{shAa} + I_{bi}$) がレーザダイオードLDの高温時における発振しきい値電流値 I_{thB} を超えている。このことから、図14で示すように、発光電流 I_{dac} をレーザダイオードLDに供給しなくてもレーザダイオードLDが発光してしまうことになる。このような現象がたとえ短時間であっても発生することにより、レーザプリンタ等における地肌汚れ等の原因になっていた。このような状態は、初期化回路108が次の初期化、例えば図15で示した(c)の高温再初期化を行うまで続いてしまい、また、初期化回路108による初期化動作はシステムの制約から、温度変化に合わせて頻繁に行うことができなかった。

【0017】

本発明は、上記のような問題を解決するためになされたものであり、周囲温度が上昇してレーザダイオードの発振しきい値電流が増加しても、バイアス電流と発振しきい値電流だけでは半導体レーザが発光しないようにすることができる半導体レーザ駆動装置、半導体レーザ駆動方法及び半導体レーザ駆動装置を使用した画像形成装置を得ることを目的とする。

【0018】

【課題を解決するための手段】

この発明に係る半導体レーザ駆動装置は、所望の発光量が得られるように半導

体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置において、

前記半導体レーザの発振しきい値電流未満の所定の第 1 電流を生成して該半導体レーザに常時出力する第 1 電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第 2 電流を生成して前記半導体レーザに出力する第 2 電流生成回路部と、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第 3 電流を生成して該半導体レーザに出力する第 3 電流生成回路部と、

前記第 2 電流生成回路部に対して、所定の補助電流を生成させて前記半導体レーザに出力させる補助電流制御回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られた前記第 2 電流の電流値を示す信号を前記第 2 電流生成回路部に出力する初期化回路部と、

を備え、

前記第 3 電流生成回路部は、前記第 1 電流、第 2 電流、第 3 電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第 3 電流を生成して出力するものである。

【0019】

具体的には、前記初期化回路部は、常温時と所定の高温時にそれぞれ前記初期化動作を行い、前記補助電流制御回路部に対して、前記補助電流が常温時と該高温時において半導体レーザから同一の発光量が得られるそれぞれの第 2 電流の差電流以上になるように前記第 2 電流生成回路部に該補助電流を生成させるようにした。

【0020】

この場合、前記第 2 電流生成回路部は、所定の基準電流を生成し、入力されたデジタル信号に応じて該基準電流を基に生成した電流を出力する電流出力型の D/A コンバータで構成され、前記補助電流制御回路部は、該 D/A コンバータの基準電流に所定の電流を加えるようにしてもよい。

【0021】

また、前記補助電流制御回路部は、電流出力型のD/Aコンバータで構成されるようにしてもよい。

【0022】

前記第1電流生成回路部、第2電流生成回路部、第3電流生成回路部、補助電流制御回路部及び初期化回路部は1つのICに集積されるようにしてもよい。

【0023】

また、この発明に係る半導体レーザ駆動装置は、所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置において、

前記半導体レーザの発振しきい値電流未満の所定の第1電流を生成して該半導体レーザに常時出力する第1電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第2電流を生成して前記半導体レーザに出力する第2電流生成回路部と、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第3電流を生成して該半導体レーザに出力する第3電流生成回路部と、

所定の補助電流を生成して前記半導体レーザに出力する補助電流生成回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られる前記第2電流の電流値を示す信号を前記第2電流生成回路部に出力する初期化回路部と、
を備え、

前記第3電流生成回路部は、前記第1電流、第2電流、第3電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第3電流を生成して出力するものである。

【0024】

具体的には、前記補助電流生成回路部は、常温時と所定の高温時において半導体レーザから同一の発光量が得られるそれぞれの第2電流の差電流以上になるように前記補助電流を生成するようにした。

【0025】

この場合、前記補助電流生成回路部は、入力された信号に応じた電流値の補助電流を生成して前記半導体レーザに出力し、前記初期化回路部は、常温時と所定の高温時にそれぞれ前記初期化動作を行い、該補助電流生成回路部に対して、常温時と該高温時において半導体レーザから同一の発光量が得られるそれぞれの第2電流の差電流以上になるように前記補助電流を生成させるようにしてもよい。

【0026】

また、前記第2電流生成回路部及び補助電流生成回路部は、所定の基準電流を生成し、入力されたデジタル信号に応じて該基準電流を基に生成した電流を出力する電流出力型のD/Aコンバータでそれぞれ構成されるようにしてもよい。

【0027】

前記第1電流生成回路部、第2電流生成回路部、第3電流生成回路部、補助電流生成回路部及び初期化回路部は1つのICに集積されるようにしてもよい。

【0028】

一方、前記初期化回路部は、初期化動作時において、前記第2電流生成回路部に対して第2電流及び補助電流の出力を停止させ、前記半導体レーザが所定値P1の $1/N$ の発光量で発光するように、前記第3電流生成回路部に対して第3電流を出力させた後、前記第2電流生成回路部に対して、第2電流のみを出力させると共に半導体レーザの発光量の検出を行って該半導体レーザの発光量が所定値P1になるまで該第2電流を増加させ、半導体レーザの発光量が所定値になった時点の第2電流値を記憶し、通常動作時に該記憶した第2電流値を $N/(N-1)$ 倍した電流を第2電流として出力させるようにした。

【0029】

具体的には、前記第3電流生成回路部は、

半導体レーザの発光量を検出し、該検出した発光量を電圧に変換して出力する発光量検出回路と、

入力された電圧を電流に変換して前記半導体レーザに出力する電圧-電流変換回路と、

前記発光量検出回路からの出力電圧があらかじめ設定された所定値になるように該電圧-電流変換回路の入力電圧を制御して前記半導体レーザの発光量を制御

する発光量制御回路と、

入力された制御信号に応じて、該発光量制御回路から出力された電圧の前記電圧－電流変回路への出力制御を行う第 1 スイッチ回路と、

前記発光量制御回路から該第 1 スイッチ回路を介して前記電圧－電流変換回路に出力された電圧を保持するホールドコンデンサと、

前記第 1 スイッチ回路の動作制御を行う制御回路と、
を備えるようにした。

【0030】

この場合、前記初期化回路部は、前記初期化動作を行った直後の通常動作時には、前記ホールドコンデンサの充電電圧を放電させた後、前記制御回路の動作制御を行って、前記発光量制御回路から出力された電圧を前記電圧－電流変回路へ出力するように前記第 1 スイッチ回路を動作させるようにしてもよい。

【0031】

また、前記発光量制御回路は、
所定の基準電圧を生成して出力する基準電圧発生回路と、
該基準電圧発生回路から出力され基準電圧を、入力された制御信号に応じた分圧比で分圧して出力する分圧回路と、

該分圧回路の出力電圧と該基準電圧との電圧を比較し、該比較結果を示す電圧を出力する電圧比較回路と、
を備え、

前記初期化回路部は、初期化動作時に、該分圧回路の分圧比を制御して、半導体レーザの発光量を変えるようにした。

【0032】

また、この発明に係る半導体レーザ駆動方法は、所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置の半導体レーザ駆動方法において、

前記半導体レーザの発振しきい値電流未満の所定の第 1 電流を生成し、
前記半導体レーザの発光特性の検出を行う初期化動作を行って検出した発光特性から得られた半導体レーザを発光させるための第 2 電流を生成し、

常温時と所定の高温時にそれぞれ前記初期化動作を行って常温時と該高温時に半導体レーザから同一の発光量が得られるそれぞれの第2電流の差電流以上になる補助電流を生成し、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第3電流を生成し、

前記第1電流、第2電流、第3電流及び補助電流の和電流を前記半導体レーザに出力して得られた該半導体レーザの発光量が所定値で一定になるように、前記第3電流を生成するようにした。

【0033】

具体的には、前記初期化動作時に、

前記第2電流及び補助電流の半導体レーザへの出力を停止し、

前記半導体レーザが所定値P1の $1/N$ の発光量で発光するように前記第3電流生成して出力し、

前記第2電流のみを出力すると共に半導体レーザの発光量の検出を行って該半導体レーザの発光量が所定値P1になるまで該第2電流を増加させ、

半導体レーザの発光量が所定値になった時点の第2電流値を記憶するようにし

、
通常動作時に、

前記記憶した第2電流値を $N/(N-1)$ 倍した電流を第2電流として前記半導体レーザに出力するようにした。

【0034】

また、半導体レーザの発光量を電圧に変換し、

該変換した電圧と所定の基準電圧との電圧比較を行って該比較結果を示す電圧を生成し、

該比較結果を示す電圧を保持し、

該保持した電圧を電流に変換して前記第3電流を生成するようにしてもよい。

【0035】

この場合、前記初期化動作を行った直後の通常動作時には、前記保持した電圧を低下させて前記第3電流を生成し、該第3電流を前記第1電流、第2電流及び

補助電流と共に前記半導体レーザに出力するようにした。

【0036】

また、この発明に係る画像形成装置は、所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置を有する画像形成装置において、

前記半導体レーザ駆動装置は、

前記半導体レーザの発振しきい値電流未満の所定の第1電流を生成して該半導体レーザに常時出力する第1電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第2電流を生成して前記半導体レーザに出力する第2電流生成回路部と、

前記半導体レーザの発光量を検出し、該発光量が所定値になるように第3電流を生成して該半導体レーザに出力する第3電流生成回路部と、

前記第2電流生成回路部に対して、所定の補助電流を生成させて前記半導体レーザに出力させる補助電流制御回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られた前記第2電流の電流値を示す信号を前記第2電流生成回路部に出力する初期化回路部と、

を備え、

前記第3電流生成回路部は、前記第1電流、第2電流、第3電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第3電流を生成して出力するものである。

【0037】

また、この発明に係る画像形成装置は、所望の発光量が得られるように半導体レーザに供給する電流を制御して、該半導体レーザの駆動制御を行う半導体レーザ駆動装置を有する画像形成装置において、

前記半導体レーザ駆動装置は、

前記半導体レーザの発振しきい値電流未満の所定の第1電流を生成して該半導体レーザに常時出力する第1電流生成回路部と、

入力された信号に応じた、前記半導体レーザを発光させるための第2電流を生

成して前記半導体レーザに出力する第 2 電流生成回路部と、
所定の補助電流を生成して前記半導体レーザに出力する補助電流生成回路部と、

前記半導体レーザの発光量を検出して該発光量が所定値になるように第 3 電流を生成し、該半導体レーザに出力する第 3 電流生成回路部と、

前記半導体レーザの発光特性の検出を行う初期化動作を行い、該検出した発光特性から得られる前記第 2 電流の電流値を示す信号を前記第 2 電流生成回路部に出力する初期化回路部と、
を備え、

前記第 3 電流生成回路部は、前記第 1 電流、第 2 電流、第 3 電流及び補助電流の和電流による半導体レーザの発光量が所定値になるように、前記第 3 電流を生成して出力するものである。

【0038】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態.

図 1 は、本発明の第 1 の実施の形態における半導体レーザ駆動装置の例を示したブロック図である。

図 1 において、半導体レーザ駆動装置 1 は、演算増幅器 2 と、アナログスイッチ 3 と、演算増幅器 2 の出力電圧を記憶するホールドコンデンサ 4 と、電圧-電流変換回路 5 と、入力された制御信号に応じてスイッチングを行うスイッチ回路 6 と、可変抵抗 7 と、所定の基準電圧 V_{r1} を生成して出力する基準電圧発生回路 8 とを備えている。

【0039】

また、半導体レーザ駆動装置 1 は、アナログスイッチ 3 とスイッチ回路 6 の動作制御をそれぞれ行う制御回路 9 と、入力された制御信号 S_1 に応じて基準電圧 V_{r1} を分圧して出力する分圧回路 10 と、入力されたデジタルデータ信号 S_{D1} に応じたレーザダイオード LD を発光させるための電流を出力する発光電流生成回路 11 とを備えている。更に、半導体レーザ駆動装置 1 は、所定の定電流

I_{bi} （以下、バイアス電流 I_{bi} と呼ぶ）を生成してレーザダイオード LD に出力するバイアス電流生成回路 12 と、該発光電流生成回路 11 の出力電流に所定の電流値である補助電流 I_{sub} が加算されるように発光電流生成回路 11 を制御する I_{sub} 制御回路 13 と、制御回路 9、分圧回路 10、発光電流生成回路 11 及び I_{sub} 制御回路 13 の動作制御をそれぞれ行ってレーザダイオード LD の発光特性を検出する所定の初期化動作を行う初期化回路 14 とを備えている。

【0040】

また、発光電流生成回路 11 は、初期化回路 14 から入力されるデジタルデータ信号 SD1 に応じた電流値 I_{η} に I_{sub} 制御回路 13 からの I_{sub} 制御信号 S5 に応じた補助電流 I_{sub} を加えた電流値の発光電流 I_{dac} を出力する。

一方、 I_{sub} 制御回路 13 は、初期化回路 14 から入力されるデジタルデータ信号 SD2 に応じた補助電流 I_{sub} を示す I_{sub} 制御信号 S5 を発光電流生成回路 11 に出力し、発光電流生成回路 11 は、該 I_{sub} 制御信号 S5 に応じた補助電流 I_{sub} を生成し、電流値 I_{η} に該補助電流 I_{sub} を加えた電流値の発光電流 I_{dac} を生成して出力する。

【0041】

分圧回路 10 には基準電圧発生回路 8 からの基準電圧 V_{r1} が入力され、分圧回路 10 は、初期化回路 14 からの制御信号 S1 に応じた分圧比で基準電圧 V_{r1} を分圧して演算増幅器 2 の非反転入力端に出力する。演算増幅器 2 の出力端はアナログスイッチ 3 の一端に接続され、アナログスイッチ 3 の他端は電圧－電流変換回路 5 に接続され、該接続部と接地電圧との間にはホールドコンデンサ 4 が接続されている。アナログスイッチ 3 は、制御回路 9 から ASW 制御信号 S2 が入力され、該入力された ASW 制御信号 S2 に応じてスイッチングを行う。このことにより、アナログスイッチ 3 は、ホールドコンデンサ 4 の高圧側電圧（以下、ホールドコンデンサ 4 の電圧と呼ぶ）をホールドするために、ホールドコンデンサ 4 と演算増幅器 2 の出力端との接続の切断を行う。

【0042】

電圧-電流変換回路 5 は、入力された電圧をサンプルホールド電流 I_{sh} に変換してレーザダイオード LD に出力するものであり、スイッチ回路 6 を介してレーザダイオード LD のアノードに接続され、レーザダイオード LD のカソードは接地電圧に接続されている。スイッチ回路 6 は、制御回路 9 から SW 制御信号 S3 が入力され、該入力された SW 制御信号 S3 に応じてスイッチングを行う。このことにより、スイッチ回路 6 は、レーザダイオード LD にサンプルホールド電流 I_{sh} を供給するために、電圧-電流変換回路 5 とレーザダイオード LD との接続制御を行う。一方、フォトダイオード PD のアノードは接地電圧に接続され、電源電圧 V_{dd} とフォトダイオード PD のカソードとの間に可変抵抗 7 が接続されている。また、フォトダイオード PD のアノードと可変抵抗 7 との接続部は演算増幅器 2 の非反転入力端に接続されている。

【0043】

フォトダイオード PD は、レーザダイオード LD の発光量をモニタしレーザダイオード LD の発光量に比例した電流を可変抵抗 7 に供給する。可変抵抗 7 は、フォトダイオード PD から供給された電流を電圧 V_{pd} に変換し、該電圧 V_{pd} は演算増幅器 2 の非反転入力端に出力される。分圧回路 10 の出力電圧を V_{d1} とすると、演算増幅器 2 は、入力された電圧 V_{pd} が該電圧 V_{d1} に等しくなるように、電圧-電流変換回路 5 に入力される電圧を制御してサンプルホールド電流 I_{sh} を制御する。また、ホールドコンデンサ 4 の電圧は、演算増幅器 2 の出力電圧で充電されているため、演算増幅器 2 の出力電圧と同じである。アナログスイッチ 3 がオフすると、このときの演算増幅器 2 の出力電圧が、ホールドコンデンサ 4 に記憶される。

【0044】

アナログスイッチ 3 とホールドコンデンサ 4 はサンプルホールド回路を形成しており、制御回路 9 は、APC 期間中はアナログスイッチ 3 をオンにし、演算増幅器 2 の出力電圧でホールドコンデンサ 4 を充電する。APC 動作が終了するとアナログスイッチ 3 をオフにして、演算増幅器 2 の出力電圧をホールドコンデンサ 4 にホールドする。ホールドコンデンサ 4 にホールドされた電圧に応じた電流が電圧-電流変換回路 5 で生成されて、スイッチ回路 6 を介してレーザダイオード

ドLDに出力される。

【0045】

初期化回路14には、外部からリセット信号RES及び所定のクロック信号OSCがそれぞれ入力され、前記電圧Vd1及びVpdがそれぞれ入力されている。また、初期化回路14は、レーザダイオードLDの特性を検出してデジタルデータ信号SD1及びSD2のデジタルデータを設定する初期化動作を行う場合、制御回路9及び分圧回路10の動作制御を行うと共にホールドコンデンサ4の電圧を制御する。また、バイアス電流生成回路12から出力されたレーザダイオードLDに対するバイアス電流Ibi及び発光電流生成回路11からの発光電流IdacはそれぞれレーザダイオードLDのアノードに出力される。

【0046】

なお、発光電流生成回路11は第2電流生成回路部を、バイアス電流生成回路12はバイアス電流生成回路部を、Isub制御回路13は補助電流制御回路部をそれぞれなし、演算増幅器2、アナログスイッチ3、ホールドコンデンサ4、電圧-電流変換回路5、スイッチ回路6、可変抵抗7、基準電圧発生回路8、制御回路9及びフォトダイオードPDが第3電流生成回路部をなす。また、バイアス電流Ibiが第1電流を、発光電流Idacが第2電流を、サンプルホールド電流Ishが第3電流をそれぞれなす。更に、可変抵抗7及びフォトダイオードPDは発光量検出回路を、演算増幅器2、基準電圧発生回路8及び分圧回路10は発光量制御回路を、演算増幅器2は電圧比較回路を、アナログスイッチ3は第1スイッチ回路をそれぞれなす。言うまでもなく、レーザダイオードLDは半導体レーザをなす。

【0047】

図2は、図1で示した各信号のタイミングチャートであり、図2を用いて図1の半導体レーザ駆動装置1の動作について説明する。

レーザダイオードLDに対して発光制御を行うために外部から入力される発光入力信号Siは、制御回路9で遅延されて発光オン信号S4となって発光電流生成回路11に出力される。制御回路9から出力されるSW制御信号S3は、発光入力信号Siがアサートされると同時にアサートされ、発光オン信号S4がディ

アサートされるまでアサート状態を保つ。

【0048】

LD駆動電流 I_{op} は、レーザダイオードLDを駆動する電流であり、発光電流 I_{dac} 、サンプルホールド電流 I_{sh} 及びバイアス電流 I_{bi} の和電流である。発光入力信号 S_i がハイ (High) レベルに立ち上がるまでは、レーザダイオードLDにはバイアス電流 I_{bi} だけが供給されている。発光入力信号 S_i がハイレベルに立ち上がってアサートされると直ちにサンプルホールド電流 I_{sh} が加算され、レーザダイオードLDには、バイアス電流 I_{bi} にサンプルホールド電流 I_{sh} が加算された電流が供給される。

【0049】

このときのサンプルホールド電流 I_{sh} は、レーザダイオードLDの発振しきい値電流 I_{th} からバイアス電流 I_{bi} と補助電流 I_{sub} を引いた電流値になる。このため、温度が上昇して発振しきい値電流 I_{th} とレーザダイオードLDの発光電流特性が変化しても、サンプルホールド電流 I_{sh} とバイアス電流 I_{bi} の和電流が発振しきい値電流 I_{th} を超えることがない。

【0050】

次に、発光入力信号 S_i がハイレベルになってから所定の時間経過後に発光オン信号 S_4 がハイレベルに立ち上がってアサートされ、発光電流生成回路11によって発光電流 I_{dac} が加算される。このときの発光電流 I_{dac} は、初期化回路14から入力されたデジタルデータ信号 $SD1$ に応じた電流値 I_η に補助電流 I_{sub} を加えた電流値である。

【0051】

このように、発光電流 I_{dac} に補助電流 I_{sub} を加算することで、制御回路9によってSW制御信号 S_3 がアサートされている期間のサンプルホールド電流 I_{sh} から補助電流 I_{sub} をマイナスされ、レーザダイオードLDの所望の発光量を得ることができる。すなわち、補助電流 I_{sub} によって、サンプルホールド電流 I_{sh} とバイアス電流 I_{bi} の和電流が、レーザダイオードLDの発振しきい値電流 I_{th} を超えることがなく、レーザダイオードLDにおいて、所望の発光量を得つつ地肌汚れとなる不要な発光をなくすることができる。

このように、レーザダイオードLDがバイアス電流 I_{bi} で活性化されインピーダンスが小さくなっているため、レーザダイオードLDは、発振しきい値電流 I_{th} に対する応答特性が改善され、レーザダイオードLDから所望のパルス幅の発光パルスを得ることができる。

【0052】

このような構成において、図3は、初期化回路14によって行われる初期化動作例を示したフローチャートであり、図4は、図3の初期化動作時における図1の各信号のタイミングチャートである。図5は、図4で示した各状態A～Fにおけるバイアス電流 I_{bi} 、サンプルホールド電流 I_{sh} 、発光電流 I_{dac} 及びレーザダイオードLDの発振しきい値電流 I_{th} の関係を示した図である。図3から図5を用いて初期化回路14による初期化動作について説明する。なお、図5において、常温時のレーザダイオードLDの発振しきい値電流を I_{thA} とし、所定の高温時におけるレーザダイオードLDの発振しきい値電流を I_{thB} とする。また、図5では、状態A～Fが常温時の初期化動作を、状態Fが常温から所定の高温に推移したときの状態を、状態H～Mが所定の高温時の初期化動作をそれぞれ示している。

【0053】

図3において、初期化回路14は、電源投入時、又はリセット信号RESがハイレベルからローレベルに立ち下がってリセットが解除されると初期化動作を開始し、このとき、レーザダイオードLDにはバイアス電流 I_{bi} が流れ始める（ステップST1）。初期化回路14は、8ビットデータ $D[0:7]=0$ のデジタルデータ信号SD1を発光電流生成回路11に出力すると共に、8ビットデータ $Dp[0:7]=0$ を発光電流生成回路11に出力することから発光電流 $I_{dac}=0$ になる。

【0054】

次に、初期化回路14は、分圧回路10に対して、基準電圧 V_{r1} を $1/N$ （ N は、 $N>1$ の整数）に分圧して電圧 V_{d1} として出力させ、制御回路9に対して、アナログスイッチ3及びスイッチ回路6をそれぞれオンさせて電圧 V_{pd} が V_{r1}/N の発光量にセトリングした状態で、アナログスイッチ3をオフさせ演

算増幅器 2 の出力電圧をホールドコンデンサ 4 に記憶させるようにする（ステップ ST 2）。ステップ ST 2 の動作は図 4 及び図 5 の状態 A を示しており、図 4 において、電流値 I_{shA1} は、演算増幅器 2 の反転入力端に V_{r1}/N の電圧が入力されたときに、 $V_{pd} = V_{r1}/N$ になったときのサンプルホールド電流 I_{sh} の電流値を示しており、状態 A の最後には図 5 でも示しているように LD 駆動電流 I_{op} は $(I_{bi} + I_{shA1})$ になる。

【0055】

次に、初期化回路 14 は、分圧回路 10 に対して、基準電圧 V_{r1} を電圧 V_{d1} として出力させ、デジタルデータ信号 SD 1 の 8 ビットデータ $D[0:7]$ を下位ビットから順次カウントアップしていき、電圧 V_{pd} が電圧 V_{d1} に、すなわちこの場合基準電圧 V_{r1} になったときの 8 ビットデータ $D[0:7]$ を記憶する（ステップ ST 3）。

【0056】

すなわち、8 ビットデータ $D[0:7]$ を下位ビットから順次カウントアップしていくことにより、発光電流 I_{dac} が増加してレーザダイオード LD の発光量が増加し、初期化回路 14 の内部に設けられたコンパレータ（図示せず）が基準電圧 V_{r1} と電圧 V_{pd} を比較し、電圧 V_{pd} が基準電圧 V_{r1} を超えた時点の 8 ビットデータ $D[0:7]$ を記憶する。ステップ ST 3 の動作は図 4 及び図 5 の状態 B を示しており、図 4 において、電流値 I_{dac1} は、電圧 V_{pd} が基準電圧 V_{r1} になったときの発光電流 I_{dac} の電流値を示しており、状態 B の最後には、図 5 でも示しているように LD 駆動電流 I_{op} は $(I_{bi} + I_{shA1} + I_{dac1})$ になる。

【0057】

次に、初期化回路 14 は、ホールドコンデンサ 4 にホールドされている電圧を放電させ、このことにより、LD 駆動電流 I_{op} として、バイアス電流 I_{bi} と発光電流 I_{dac} がレーザダイオード LD に流れる（ステップ ST 4）。このようにするのは、次に行う発光電流生成回路 11 へのデジタルデータを設定して発光電流 I_{dac} に補助電流 I_{sub} が加算された際に、LD 駆動電流 I_{op} がレーザダイオード LD の最大定格値を超えて該レーザダイオード LD に不具合が

発生することを防止するためである。ステップST4の動作は図4及び図5の状態Cを示しており、図4及び図5でも示しているようにLD駆動電流 I_{op} は($I_{bi} + I_{dac1}$)になる。

【0058】

次に、初期化回路14は、デジタルデータ信号SD1のデジタルデータD[0:7]を $N/(N-1)$ 倍にして出力し、 I_{sub} 制御回路13にもデジタルデータD[0:7]と同じデジタルデータ $D_p[0:7]$ をデジタルデータ信号SD2として出力する(ステップST5)。このようにすることにより、デジタルデータ $D_p[0:7]$ に応じた補助電流 I_{sub} が発光電流 I_{dac} に加算されてレーザダイオードLDに供給される。ステップST5の動作は図4及び図5の状態D及びEを示しており、状態DでLD駆動電流 I_{op} は $\{I_{bi} + I_{dac1} \times N / (N-1)\}$ になり、 $I_{dac1} \times N / (N-1) = I_{dac2}$ とすると状態EでLD駆動電流 I_{op} は($I_{bi} + I_{dac2} + I_{sub}$)になる。

【0059】

最後に、初期化回路14は、制御回路9に対して、再びアナログスイッチ3及びスイッチ回路6をそれぞれオンさせてAPC制御を行わせ、電流値 I_{shA2} のサンプルホールド電流 I_{sh} がレーザダイオードLDに流れる(ステップST6)。ステップST6の動作は図4及び図5の状態Fを示しており、($I_{dac2} + I_{sub}$) = I_{dac3} とすると、状態FでLD駆動電流 I_{op} は($I_{bi} + I_{shA2} + I_{dac3}$)になる。

【0060】

上記説明において、 $N=2$ の場合は、デジタルデータD[0:7]及び $D_p[0:7]$ を1ビット上位へシフトするだけで、容易に $N/(N-1)$ 倍することができる。また、図5で示しているように、前記ステップST1～ST6の各処理は、所定の高温時においても同様の処理が行われ、温度変化によってレーザダイオードLDの特性が変化し常温時の状態A～Fに対応する状態H～MのようにLD駆動電流 I_{op} が変化する。

【0061】

なお、所定の高温時の電流値において、電流値 I_{shB1} は I_{shA1} に、電

流値 I_{dac4} は I_{dac1} に、電流値 I_{dac5} は I_{dac2} に、電流値 I_{dac6} は I_{dac3} に、電流値 I_{shB2} は I_{shA2} にそれぞれ対応している。また、所定の高温とは、例えばレーザダイオード LD の使用上限温度である。

このように、補助電流 I_{sub} を含む発光電流 I_{dac} 及びサンプルホールド電流 I_{sh} がそれぞれ最適に制御され、レーザダイオード LD から所望の発光量を得ることができる。

【0062】

このように、周囲温度が高温になっても、発光オン信号 $S4$ がアサートされる前にレーザダイオード LD に供給される電流によって、光通信における消光比や、レーザプリンタ、デジタル複写機等における地肌汚れが発生することを防止できるようになった。また、常温時において、バイアス電流 I_{bi} にサンプルホールド電流 I_{sh} の電流値 I_{shA2} を加えた電流は、発光しきい値電流 I_{thA} と比較してわずかに数 mA 小さいだけであることから応答遅れも発生しない。

【0063】

更に、電源の再投入等で、高温時に再度初期化を行うと、新たに、発光電流 I_{dac} が設定されるので、バイアス電流 I_{bi} とサンプルホールド電流 I_{sh} との和は、高温時の発振しきい値電流 I_{thB} よりも、補助電流 I_{sub} 分 (数 mA) 小さくなり、地肌汚れ等の発生に対し余裕を持たせると共に、更に温度が上昇した場合にも対処できるようになる。

【0064】

次に、図 6 は、図 1 の発光電流生成回路 11 及び I_{sub} 制御回路 13 の回路例を示した図である。なお、図 6 では、 $D[0:7] = D_p[0:7]$ である場合を例にして説明する。

図 6 において、発光電流生成回路 11 は、電流加算型をなす電流出力型の D/A コンバータ (以下、DAC と呼ぶ) 21 と、デジタルデータ信号 $SD1$ におけるデータ $D[0:7]$ の DAC 21 への出力制御を行うゲート駆動スイッチ回路 22 と、DAC 21 から出力された電流を発光電流 I_{dac} に変換してレーザダイオード LD に出力するカレントミラー回路 23 とを備えている。

【0065】

ゲート駆動スイッチ回路 22 は、制御回路 9 からの発光オン信号 S4 がアサートされると初期化回路 14 から入力されたデータ D[0:7] を DAC 21 に出力し、発光オン信号 S4 がディアサートされると初期化回路 14 から入力されているデータ D[0:7] に関係なく NMOS トランジスタ MB0 ~ MB7 のゲートにそれぞれハイレベルの信号を出力して、DAC 21 からの電流出力を停止させる。

【0066】

DAC 21 は、ゲート駆動スイッチ回路 22 を介して初期化回路 14 から入力されるデジタルデータ信号 SD1 に応じた電流 I_{o1} をカレントミラー回路 23 に出力し、カレントミラー回路 23 で電流値 I_{η} に変換されてレーザダイオード LD に出力される。更に、DAC 21 は、 I_{sub} 制御回路 13 からの I_{sub} 制御信号 S5 に応じた電流 I_{o2} をカレントミラー回路 23 に出力し、カレントミラー回路 23 で補助電流 I_{sub} に変換されてレーザダイオード LD に出力される。すなわち、DAC 21 の出力電流値 ($I_{o1} + I_{o2}$) がカレントミラー回路 23 で電流値 ($I_{\eta} + I_{sub}$) に変換されて発光電流 I_{dac} としてレーザダイオード LD に出力される。

【0067】

DAC 21 は、演算増幅器 31 と、所定の基準電圧 V_{r2} を生成して出力する基準電圧発生回路 32 と、抵抗 33 と、コンデンサ 34 と、NMOS トランジスタ M1 ~ M3, MA0 ~ MA7, MB0 ~ MB7, MC0 ~ MC7 とで構成されている。基準電圧発生回路 32 から出力された基準電圧 V_{r2} 及び抵抗 33 の抵抗値によって、DAC 21 からの出力電流の電流値を変えることができ、発光電流 I_{dac} の電流値を変えることができる。

【0068】

電源電圧 V_{dd} (例えば、DC 5V) と演算増幅器 31 の反転入力端との間には基準電圧発生回路 32 が接続され、演算増幅器 31 の反転入力端には ($V_{dd} - V_{r2}$) の電圧が入力されている。また、電源電圧 V_{dd} と演算増幅器 31 の非反転入力端との間には抵抗 33 が接続され、演算増幅器 31 の出力端は NMOS トランジスタ M3, MC0 ~ MC7 の各ゲートにそれぞれ接続されている。

【0069】

更に、演算増幅器 31 の出力端と接地電圧との間にはコンデンサ 34 が接続されている。演算増幅器 31 の非反転入力端と接地電圧との間には、NMOS トランジスタ M1 と M3 が直列に接続され、NMOS トランジスタ M1, MA0 ~ MA7 の各ゲートには外部からの所定の定電圧 Vdd1 (例えば、DC 3.5 V) がそれぞれ入力されている。また、電源電圧 Vdd と NMOS トランジスタ M3 のドレインとの間には NMOS トランジスタ M2 が接続され、NMOS トランジスタ M2 のゲートは接地電圧に接続されている。なお、NMOS トランジスタ M2 は、製造上の理由から設けられたものであって常時オフしており、オンすることはないため、NMOS トランジスタ M1 は常時オンになる。

【0070】

一方、NMOS トランジスタ MA0 ~ MA7 の各ドレインは接続され、該接続部は DAC 21 の出力端をなしている。NMOS トランジスタ MA0 ~ MA7 の各ソースは、対応する NMOS トランジスタ MC0 ~ MC7 のドレインにそれぞれ接続され、NMOS トランジスタ MC0 ~ MC7 の各ソースはそれぞれ接地電圧に接続されている。また、電源電圧 Vdd と NMOS トランジスタ MC0 ~ MC7 の各ドレインとの間には、NMOS トランジスタ MB0 ~ MB7 が対応して接続され、NMOS トランジスタ MB0 ~ MB7 の各ゲートには、ゲート駆動スイッチ回路 22 からデータ D[0 : 7] の対応する 1 ビットデータがそれぞれ入力されている。

【0071】

ここで、NMOS トランジスタ M3 及び MC0 ~ MC7 は、電流駆動能力がそれぞれ異なっている。例えば NMOS トランジスタ MC0 の電流駆動能力を W1 とした場合、NMOS トランジスタ MC1 の電流駆動能力は $2 \times W1$ 、NMOS トランジスタ MC2 の電流駆動能力は $4 \times W1$ 、NMOS トランジスタ MC3 の電流駆動能力は $8 \times W1$ 、NMOS トランジスタ MC4 の電流駆動能力は $16 \times W1$ 、NMOS トランジスタ MC5 の電流駆動能力は $32 \times W1$ 、NMOS トランジスタ MC6 の電流駆動能力は $64 \times W1$ 、NMOS トランジスタ MC7 の電流駆動能力は $128 \times W1$ 、NMOS トランジスタ M3 の電流駆動能力は $16 \times$

W1になるようにサイズの異なるNMOSトランジスタがそれぞれ使用されている。

【0072】

すなわち、NMOSトランジスタMC0の素子面積を「1」とすると、ビット1に対応したNMOSトランジスタMC1の素子面積は倍の「2」、ビット2に対応したNMOSトランジスタMC2の素子面積は更に倍の「4」というように 2^n 倍($n=0\sim7$)の面積になるように作られている。また、NMOSトランジスタM3の面積はNMOSトランジスタMC0の素子面積の16倍になるように作られている。このようにすることにより、デジタルデータD0～D7(=データD[0:7])に応じて対応するNMOSトランジスタMB0～MB7がオン/オフすることによって、重み付けされた電流をカレントミラー回路23に出力することができる。

【0073】

一方、DAC21における基準電流を発生するために、演算増幅器31の反転入力端には電圧($V_{dd}-V_{r2}$)が入力されており、抵抗33には基準電圧 V_{r2} を抵抗33の抵抗値 R_{cont} で除した電流(V_{r2}/R_{cont})が流れる。該電流(V_{r2}/R_{cont})は、NMOSトランジスタM1を通してNMOSトランジスタM3のドレイン電流になる。NMOSトランジスタM3のゲートは演算増幅器31の出力端に接続されていることから、NMOSトランジスタM3のドレイン電流によって決まるNMOSトランジスタM3のゲート電圧が演算増幅器31の出力電圧になる。すなわち、基準電圧 V_{r2} と抵抗33の抵抗値 R_{cont} で決まる電流値によって、演算増幅器31の出力電圧を設定することができる。

【0074】

DAC21のビットデータD0～D7に対応する電流をそれぞれ設定するNMOSトランジスタMC0～MC7の各ゲートは、演算増幅器31の出力端にそれぞれ接続されていることから、基準電圧 V_{r2} と抵抗33の抵抗値 R_{cont} のいずれか、又は両方を変更することによって、DAC21の出力電流全体をシフトさせることができる。基準電圧発生回路32で生成される基準電圧 V_{r2} は、

外部から印加された電圧によって設定可能にしてあり、抵抗 33 を IC に外付けされた抵抗にすることによって任意の値に設定することができ、これらの要素を変更することで、DAC 21 の出力電流を制御し、レーザダイオード LD における特性のバラツキ等の調整や、レーザダイオード LD の発光中に該発光量を変化させることができる。特に半導体レーザ駆動装置 1 をレーザプリンタやデジタル複写機等の画像形成装置に使用した場合、シェーディング補正等に有効に活用することができる。

【0075】

カレントミラー回路 23 は、PMOS トランジスタ 37、38 で形成されており、PMOS トランジスタ 37 及び 38 の各ゲートは接続され、該接続部は PMOS トランジスタ 37 のドレインに接続されている。また、PMOS トランジスタ 37 及び 38 の各ソースはそれぞれ電源電圧 V_{dd} に接続され、PMOS トランジスタ 37 のドレインは DAC 21 の出力端に、PMOS トランジスタ 38 のドレインはレーザダイオード LD のアノードに接続されている。PMOS トランジスタ 38 のドレインから出力される電流が発光電流 I_{dac} となり、PMOS トランジスタ 37 と 38 の面積比が 30 : 100 になっていることから、レーザダイオード LD に出力される発光電流 I_{dac} は、DAC 21 の出力電流の 10 / 3 倍になる。

【0076】

DAC 21 は 8 ビットの DA コンバータである。1 ビット分の回路は 3 つの NMOS トランジスタで構成されている。例えば、ビット n ($n = 0 \sim 7$) の回路は NMOS トランジスタ MA_n , MB_n , MC_n で構成されている。NMOS トランジスタ MA_n のドレインは、DAC 21 におけるビット n の出力であり、NMOS トランジスタ $MA_0 \sim MA_7$ の各ドレインはそれぞれ接続され、該接続部は DAC 21 の出力端をなし、カレントミラー回路 23 の PMOS トランジスタ 37 のドレインに接続されている。

【0077】

このような構成において、NMOS トランジスタ MC_0 のゲートは、演算増幅器 31 の出力端に接続されていることから、NMOS トランジスタ MC_3 のゲート

電圧と同じになり、NMOSトランジスタMC0のドレイン電流は、NMOSトランジスタM3とNMOSトランジスタMC0の面積比に応じた電流値となって、図6の場合、NMOSトランジスタM3のドレイン電流の1/16になる。

【0078】

ここで、デジタルデータD[0:7]におけるデータD_nに対するDAC21の動作を例にして説明する。

データD_nが「1」、すなわちハイレベル(5V)の場合、NMOSトランジスタMB_nはオンする。このとき、NMOSトランジスタMB_nによってNMOSトランジスタMC_nのドレイン電圧が引き上げられるため、NMOSトランジスタMA_nはオフとなり、NMOSトランジスタMC_nのドレイン電流は、すべて電源電圧V_{dd}からNMOSトランジスタMB_nを流れるので、DAC21からデジタルデータD_nに対応する電流は出力されない。

【0079】

次に、データD_nが「0」、すなわちローレベル(0V)の場合、NMOSトランジスタMB_nはオフになる。このため、NMOSトランジスタMC_nのドレイン電圧は低下し、NMOSトランジスタMA_nがオンし、NMOSトランジスタMC_nのドレイン電流は、すべてNMOSトランジスタMA_nを流れるので、DAC21からデータD_nに対応する電流が出力される。データD₀からデータD₇へビットが1つ増えるごとに、DAC21の出力電流値が倍になっていく。

【0080】

前記初期化動作では、初期化回路14は、レーザダイオードLDの発振しきい値電流値と目標発光出力が得られるLD駆動電流I_{op}の電流値との差電流を発光電流値I_{dac2}として、DAC21に対するデジタルデータD[0:7]として記憶しておき、初期化動作後の通常動作時に発光電流生成回路11に対して該記憶したデジタルデータD[0:7]に応じた発光電流I_{dac}を出力させる。

【0081】

一方、I_{sub}制御回路13は、電流加算型をなす電流出力型のDACを構成しており、初期化回路14から入力されるデジタルデータ信号SD2に応じた

電流 I_{o3} を、DAC 21 における NMOS トランジスタ M3 のドレインに出力する。該電流 I_{o3} が I_{sub} 制御信号 S5 をなす。

I_{sub} 制御回路 13 は、演算増幅器 51 と、所定の基準電圧 V_{r3} を生成して出力する基準電圧発生回路 52 と、抵抗 53 と、コンデンサ 54 と、NMOS トランジスタ N1, N6, NA0~NA7, NB0~NB7, NC0~NC7 と、PMOS トランジスタ N2~N5 で構成されている。基準電圧発生回路 52 から出力され基準電圧 V_{r3} 及び抵抗 53 の抵抗値によって、出力電流 I_{o3} の電流値を変えることができ、発光電流生成回路 11 から出力される補助電流 I_{sub} の電流値を変えることができる。

【0082】

演算増幅器 51 の非反転入力端と接地電圧との間には基準電圧発生回路 52 が接続され、演算増幅器 31 の非反転入力端には所定の基準電圧 V_{r3} が入力されている。また、演算増幅器 51 の反転入力端と接地電圧との間には抵抗 53 が接続され、演算増幅器 51 の出力端は NMOS トランジスタ N1 のゲートに接続されている。NMOS トランジスタ N1 のソースは演算増幅器 51 の反転入力端に接続され、NMOS トランジスタ N1 のドレインは PMOS トランジスタ N2 のドレインに接続されている。PMOS トランジスタ N2 及び N3 はカレントミラー回路を形成しており、PMOS トランジスタ N2 及び N3 において、各ゲートは接続され該接続部は PMOS トランジスタ N2 のドレインに接続され、各ソースは接続されて電源電圧 V_{dd} に接続されている。

【0083】

PMOS トランジスタ N4 及び N5 はカレントミラー回路を形成しており、PMOS トランジスタ N4 及び N5 において、各ゲートは接続され該接続部は PMOS トランジスタ N5 のドレインに接続され、各ソースは接続されて電源電圧 V_{dd} に接続されている。PMOS トランジスタ N4 のドレインは DAC 21 における NMOS トランジスタ M3 のドレインに接続され、PMOS トランジスタ N5 のドレインと接地電圧との間に NMOS トランジスタ N6 が接続されている。NMOS トランジスタ N6 のゲートは、NMOS トランジスタ NC0~NC7 の各ゲートにそれぞれ接続され、NMOS トランジスタ N6 のゲートと接地電圧と

の間にコンデンサ 54 が接続されている。

【0084】

一方、NMOS トランジスタ NA0～NA7 の各ドレインは接続され、該接続部は PMOS トランジスタ N3 のドレインに接続されている。NMOS トランジスタ NA0～NA7 の各ソースは、対応する NMOS トランジスタ NC0～NC7 のドレインにそれぞれ接続され、NMOS トランジスタ NC0～NC7 の各ソースはそれぞれ接地電圧に接続されている。また、NMOS トランジスタ NC0～NC7 の各ドレインとゲートとの間には、対応する NMOS トランジスタ NB0～NB7 が接続されている。NMOS トランジスタ NA0～NA7 の各ゲートは、対応する NMOS トランジスタ NB0～NB7 のゲートにそれぞれ接続され、該各接続部には、初期化回路 14 からのデータ $D_p[0:7]$ の対応する 1 ビットデータがそれぞれ入力されている。

【0085】

ここで、NMOS トランジスタ N6 及び NC0～NC7 は、電流駆動能力がそれぞれ異なっている。例えば NMOS トランジスタ NC0 の電流駆動能力を W_2 とした場合、NMOS トランジスタ NC1 の電流駆動能力は $2 \times W_2$ 、NMOS トランジスタ NC2 の電流駆動能力は $4 \times W_2$ 、NMOS トランジスタ NC3 の電流駆動能力は $8 \times W_2$ 、NMOS トランジスタ NC4 の電流駆動能力は $16 \times W_2$ 、NMOS トランジスタ NC5 の電流駆動能力は $32 \times W_2$ 、NMOS トランジスタ NC6 の電流駆動能力は $64 \times W_2$ 、NMOS トランジスタ NC7 の電流駆動能力は $128 \times W_2$ 、NMOS トランジスタ N6 の電流駆動能力は $255 \times W_2$ になるようにサイズの異なる NMOS トランジスタがそれぞれ使用されている。

【0086】

すなわち、NMOS トランジスタ NC0 の素子面積を「1」とすると、ビット 1 に対応した NMOS トランジスタ NC1 の素子面積は倍の「2」、ビット 2 に対応した NMOS トランジスタ NC2 の素子面積は更に倍の「4」というように 2^n 倍 ($n=0 \sim 7$) の面積になるように作られている。また、NMOS トランジスタ N6 の面積は NMOS トランジスタ NC0 の素子面積の 255 倍になるよう

に作られている。

【0087】

演算増幅器 51、基準電圧発生回路 52、抵抗 53、NMOS トランジスタ N_1 及び PMOS トランジスタ N_2 , N_3 は、DAC における基準電流発生回路を形成しており、抵抗 53 の抵抗値を R_{sub} とすると、抵抗 53 には、 V_{r3}/R_{sub} の電流が流れる。該電流 V_{r3}/R_{sub} は、NMOS トランジスタ N_1 のドレインに接続されている PMOS トランジスタ N_2 にも流れる。PMOS トランジスタ N_2 と N_3 はカレントミラー回路を形成していることから、PMOS トランジスタ N_3 のドレイン電流は電流 (V_{r3}/R_{sub}) に比例した電流となる。例えば、PMOS トランジスタ N_2 と PMOS トランジスタ N_3 の素子面積を 12:1 の比で作成し、PMOS トランジスタ N_3 のドレイン電流は、電流 (V_{r3}/R_{sub}) の $1/12$ の電流値になる。

【0088】

I_{sub} 制御回路 13 は、8 ビットの DAC であり、 n ($n=0\sim7$) ビット目が NMOS トランジスタ N_{An} , N_{Bn} , N_{Cn} で構成されている。デジタルデータ D_{pn} は、NMOS トランジスタ N_{An} 及び N_{Bn} の各ゲートに入力され、NMOS トランジスタ N_{An} のドレインには、前記基準電流発生回路で生成された電流、すなわち PMOS トランジスタ N_3 のドレイン電流が入力されている。

【0089】

NMOS トランジスタ N_{Cn} のゲート電圧は、NMOS トランジスタ N_{Cn} のドレイン電流によって決定されるため、データ D_{pn} が「1」、すなわちハイレベルのときは NMOS トランジスタ N_{An} がオンして、NMOS トランジスタ N_{An} に PMOS トランジスタ N_3 のドレイン電流の一部又はすべてが流れ、その電流値によって決定される。なお、データ D_{pn} が「0」、すなわちローレベルのときは、NMOS トランジスタ N_{An} がオフし、PMOS トランジスタ N_3 のドレイン電流は NMOS トランジスタ N_{Cn} には流れない。NMOS トランジスタ N_{Bn} は、データ D_{pn} がハイレベルのときにオンし、NMOS トランジスタ N_{An} に流れる電流と同じ電流を NMOS トランジスタ N_{Cn} に流すために必要

な NMOS トランジスタ NC_n のゲート電圧を決める働きをする。

【0090】

NMOS トランジスタ NB_n を削除して NMOS トランジスタ NC_n のゲートとドレインを接続した場合、データ D_{p n} がローレベルであっても、他のデータがハイレベルであると、PMOS トランジスタ N₃ からの電流が NMOS トランジスタ NC_n のソース、ドレイン間に流れ、NMOS トランジスタ N₆ にデータ D_p[0 : 7] に応じた正しい電流が流れなくなってしまう。

【0091】

NMOS トランジスタ N₆ のゲートは、電流駆動能力に重み付けをされている NMOS トランジスタ NC₀ ~ NC₇ の各ゲートに接続されて、カレントミラー回路を形成している。このことから、NMOS トランジスタ N₆ のドレイン電流は、データ D_{p 0} ~ D_{p 7} (= D_p[0 : 7]) の組み合わせと、PMOS トランジスタ N₃ のドレイン電流値で決定される。PMOS トランジスタ N₃ のドレイン電流は、上述したように抵抗 5₃ の抵抗値 R_{sub} と基準電圧 V_{r 3} で設定することができ、基準電圧 V_{r 3} 又は抵抗値 R_{sub} を外部で設定できるようにすることで任意に設定することができる。すなわち、NMOS トランジスタ N₆ のドレイン電流は、基準電圧 V_{r 3} と、抵抗値 R_{sub} と、データ D_{p 0} ~ D_{p 7} の組み合わせで決定される。

【0092】

NMOS トランジスタ N₆ のドレイン電流は、PMOS トランジスタ N₄ 及び N₅ によって構成され 8 : 15 の電流比を持ったカレントミラー回路を介して、発光電流生成回路 11 の NMOS トランジスタ M₃ のドレインに加えられ、DAC 21 の基準電流に加算される。すなわち、PMOS トランジスタ N₄ のドレインから出力された電流 I_{o 3} が I_{sub} 制御信号 S₅ として NMOS トランジスタ M₃ のドレインに出力される。

データ D_{p 0} ~ D_{p 7} の組み合わせは、データ D₀ ~ D₇ の組み合わせと同じになるように初期化回路 14 で設定されていることから、NMOS トランジスタ M₃ のドレインに入力された電流は、どのようなデータ D₀ ~ D₇ の組み合わせにおいても、DAC 21 の出力電流に一定の電流値を加算するように働く。

【0093】

これを下記(1)式に示す。

$$I_{sub} = (V_{r3} / R_{sub}) \times (1/12) \times (255/Z) \times (15/8) \times (Z/16) \times (10/3) \div (V_{r3} / R_{sub}) \times 8.3 \dots \dots \dots (1)$$

【0094】

前記(1)式において、 (V_{r3} / R_{sub}) は基準電圧 V_{r3} と抵抗 53 の抵抗値 R_{sub} で決まる電流値を、 $(1/12)$ はPMOSトランジスタ $N2$ 及び $N3$ のドレイン電流比を、 Z はデータ $D0 \sim D7$ 及び $Dp0 \sim Dp7$ の任意の組み合わせをそれぞれ示している。更に、(1)式において、 $(255/Z)$ はNMOSトランジスタ $N6$ のドレイン電流とデータ $Dp0 \sim Dp7$ によってNMOSトランジスタ $NC0 \sim NC7$ に流れる電流との比を、 $(15/8)$ はPMOSトランジスタ $N4$ と $N5$ のカレントミラー電流比を、 $(Z/16)$ はデータ $D0 \sim D7$ によってNMOSトランジスタ $MC0 \sim MC7$ に流れる電流とNMOSトランジスタ $M3$ のドレイン電流との比を、 $(10/3)$ はPMOSトランジスタ 37 と 38 のカレントミラー電流比をそれぞれ示している。

【0095】

データ $D[0:7]$ は、初期化によって初期化回路 14 で選択されたデータであり、発光オン信号 $S4$ によってDAC 21 への出力制御が行われるのに対して、データ $Dp[0:7]$ は、初期化によって初期化回路 14 で選択されたデータが発光オン信号 $S4$ に関係なく I_{sub} 制御回路 13 に入力されるため、NMOSトランジスタ $M3$ のドレイン電流及び演算増幅器 31 の出力電圧は常に安定している。

【0096】

このように補助電流 I_{sub} は、基準電圧 V_{r3} と抵抗 53 の抵抗値 R_{sub} によって決まる値であり、DAC 21 に入力されるデータ $D[0:7]$ によらない。一方、DAC 21 の基準電流(フルスケール)は、基準電圧 V_{r2} 及び抵抗 33 の抵抗値 R_{cont} により任意の値に設定することができるが、通常、レーザダイオードLDの特性に応じた固定値にする。

【0097】

微分効率 η (LD 駆動電流に対する発光量の割合) のばらつきによって、同じ発光量を得るために必要となる LD 駆動電流 I_{op} はレーザダイオード LD で異なるため、初期化によって設定されたデータ $D[0:7]$ は異なる。補助電流 I_{sub} は、微分効率 η の温度変動により、発振しきい値電流発生期間にレーザダイオード LD が発光するのを防ぐためにあり、レーザダイオード LD の特性に応じた固定値にするのが望ましい。このようなことから本第 1 の実施の形態における半導体レーザ駆動装置 1 が必要になる。

【0098】

また、基準電圧発生回路 32 において、基準電圧 V_{r1} は、基準電圧 V_{r2} と比例関係にあり、外部に設けられた電圧設定手段によって任意の電圧に設定することができる。このように、基準電圧 V_{r1} と基準電圧 V_{r2} を比例関係、特に同じ電圧にすることによって、発光電流 I_{dac} と基準電圧 V_{r2} は回路的に比例関係にあると共に基準電圧 V_{r1} と V_{r2} が比例関係にある場合、基準電圧 V_{r1} と発光電流 I_{dac} が比例関係になる。このことから、APC を実行しなくても基準電圧 V_{r1} と発光量 P_o の比例関係が成立する。また、APC を実行しても、サンプルホールド電流 I_{sh} の設定値は変わらない。

【0099】

このように、本第 1 の実施の形態における半導体レーザ駆動装置は、電流出力型の DAC を構成する発光電流生成回路 11 が、発光電流生成回路 11 における DAC の基準電流に初期化回路 14 から入力されるデジタルデータ信号 $SD2$ に応じた I_{sub} 制御回路 13 からの制御電流を加算することによって得られた補助電流 I_{sub} を、初期化回路 14 から入力されるデジタルデータ信号 $SD1$ に応じた電流値 I_η に加えた発光電流 I_{dac} を出力するようにした。

【0100】

このことから、サンプルホールド電流 I_{sh} から補助電流 I_{sub} を減少させた分、発光電流 I_{dac} に補助電流 I_{sub} を加算することでレーザダイオード LD の所望の発光量を得ることができ、補助電流 I_{sub} によって、サンプルホールド電流 I_{sh} とバイアス電流 I_{bi} の和電流が、レーザダイオード LD の発振しきい値電流 I_{th} を超えることがなく、レーザダイオード LD において、所

望の発光量を得つつレーザプリンタやデジタル複写機等の画像形成装置における地肌汚れとなる発光をなくすることができる。また、図7で示すように、APCの応答速度の制約を受けない高速の発光量制御が可能となり、特にレーザプリンタやデジタル複写機等の画像形成装置におけるシェーディング補正に有効である。

【0101】

第2の実施の形態.

前記第1の実施の形態では、補助電流 I_{sub} は、 I_{sub} 制御回路13からの I_{sub} 制御信号 S_5 に応じて発光電流生成回路11で生成するようにしたが、制御回路9からの発光オン信号 S_4 に応じて所定の補助電流 I_{sub} を生成してレーザダイオードLDに出力する I_{sub} 生成回路を I_{sub} 制御回路13の代わりに設けてもよく、このようにしたものを本発明の第2の実施の形態とする。

【0102】

図8は、本発明の第2の実施の形態における半導体レーザ駆動装置の例を示したブロック図である。なお、図8では、図1と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に図1との相違点のみ説明する。

図8における図1との相違点は、図1の I_{sub} 制御回路13の代わりに I_{sub} 生成回路61を設けたことにあり、これに伴って図1の半導体レーザ駆動装置1を半導体レーザ駆動装置60にしたことにある。

【0103】

図8において、半導体レーザ駆動装置60は、演算増幅器2と、アナログスイッチ3と、ホールドコンデンサ4と、電圧-電流変換回路5と、スイッチ回路6と、可変抵抗7と、基準電圧発生回路8と、制御回路9と、分圧回路10と、発光電流生成回路11とを備えている。更に、半導体レーザ駆動装置60は、バイアス電流生成回路12と、入力された制御信号に応じて所定の補助電流 I_{sub} を生成してレーザダイオードLDに出力する I_{sub} 生成回路61と、制御回路9、分圧回路10及び発光電流生成回路11の動作制御をそれぞれ行ってレーザ

ダイオードLDの発光特性を検出する所定の初期化動作を行う初期化回路14とを備えている。なお、Isub生成回路61は補助電流生成回路部をなす。

【0104】

また、発光電流生成回路11は、初期化回路14から入力されるデジタルデータ信号SD1に応じた電流値 I_{η} の発光電流Idacを出力する。

一方、Isub生成回路61は、制御回路9から入力される発光オン信号S4に応じて所定の補助電流IsubをレーザダイオードLDに出力する。

【0105】

図9は、Isub生成回路61の回路例を示した図である。なお、図9では、図6と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

図9において、Isub生成回路61は、演算増幅器71と、所定の基準電圧Vr3を生成して出力する基準電圧発生回路72と、抵抗73と、コンデンサ74と、インバータ75と、カレントミラー回路76と、NMOSトランジスタQ1～Q6とで構成されている。また、カレントミラー回路76は、PMOSトランジスタQ7及びQ8で形成されている。基準電圧発生回路72から出力された基準電圧Vr3及び抵抗73の抵抗値によって、Isub生成回路61から出力される補助電流Isubの電流値を変えることができる。

【0106】

電源電圧Vddと演算増幅器71の反転入力端との間には基準電圧発生回路72が接続され、演算増幅器71の反転入力端には $(V_{dd} - V_{r3})$ の電圧が入力されている。また、電源電圧Vddと演算増幅器71の非反転入力端との間には抵抗73が接続され、演算増幅器71の出力端はNMOSトランジスタQ3及びQ6の各ゲートにそれぞれ接続されている。

【0107】

更に、演算増幅器71の出力端と接地電圧との間にはコンデンサ74が接続されている。演算増幅器71の非反転入力端と接地電圧との間には、NMOSトランジスタQ1とQ3が直列に接続され、NMOSトランジスタQ1及びQ4の各ゲートには外部からの所定の定電圧Vdd1がそれぞれ入力されている。また、

電源電圧 V_{dd} と NMOS トランジスタ Q_3 のドレインとの間には NMOS トランジスタ Q_2 が接続され、NMOS トランジスタ Q_2 のゲートは接地電圧に接続されている。なお、NMOS トランジスタ Q_2 は、製造上の理由から設けられたものであって常時オフしており、オンすることはないため、NMOS トランジスタ Q_1 は常時オンになる。

【0108】

一方、NMOS トランジスタ Q_4 のドレインは、カレントミラー回路 76 の入力側のトランジスタである PMOS トランジスタ Q_7 のドレインに接続されている。カレントミラー回路 76 において、PMOS トランジスタ Q_7 及び Q_8 の各ゲートは接続され、該接続部は PMOS トランジスタ Q_7 のドレインに接続されている。PMOS トランジスタ Q_7 及び Q_8 の各ソースはそれぞれ電源電圧 V_{dd} に接続され、PMOS トランジスタ Q_8 のドレインは、 I_{sub} 生成回路 61 の出力端をなし、レーザダイオード LD のアノードに接続されている。PMOS トランジスタ Q_8 のドレインから出力される電流が補助電流 I_{sub} となる。

【0109】

また、NMOS トランジスタ Q_4 のソースは、NMOS トランジスタ Q_6 のドレインに接続され、NMOS トランジスタ Q_6 のソースは接地電圧に接続されている。電源電圧 V_{dd} と NMOS トランジスタ Q_6 のドレインとの間には、NMOS トランジスタ Q_5 が接続され、NMOS トランジスタ Q_5 のゲートは、インバータ 75 の出力端に接続され、インバータ 75 の入力端には発光オン信号 S_4 が入力されている。

【0110】

このような構成において、 I_{sub} 生成回路 61 は、DAC 21 を 1 ビットにした回路と同様であり、NMOS トランジスタ $Q_1 \sim Q_6$ の動作は、DAC 21 の NMOS トランジスタ $M_1 \sim M_3$, MA_0 , MB_0 , MC_0 の動作と同様である。DAC 21 におけるデータ D_0 がインバータ 75 の出力信号、すなわち発光オン信号 S_4 の信号レベルを反転させた信号に相当し、発光オン信号 S_4 がアサートされると、 I_{sub} 生成回路 61 から補助電流 I_{sub} がレーザダイオード LD に出力される。

【0111】

発光オン信号S4がローレベルである間は、インバータ75を介して、NMOSトランジスタQ5のゲートはハイレベルであることから、NMOSトランジスタQ5はオンし、NMOSトランジスタQ4はオフする。このため、NMOSトランジスタQ6のドレイン電流はすべて電源電圧V_{dd}からNMOSトランジスタQ5を通して流れるため、補助電流I_{sub}は0である。これに対して、発光オン信号S4がハイレベルになってアサートされると、NMOSトランジスタQ5のゲートはローレベルになり、NMOSトランジスタQ5はオフして、NMOSトランジスタQ4はオンし、NMOSトランジスタQ6のドレイン電流はNMOSトランジスタQ4を流れるため、PMOSトランジスタQ8から所定の補助電流I_{sub}が出力される。

【0112】

このように、本第2の実施の形態の半導体レーザ駆動装置は、発光オン信号S4がアサートされると、I_{sub}生成回路61で補助電流I_{sub}が生成されてレーザダイオードLDに出力されるようにし、発光電流I_{dac}と補助電流I_{sub}を同時にオン／オフすることによって、前記第1の実施の形態と同様の効果を得ることができると共に、回路の簡素化による小型化及び低コスト化を図ることができる。

【0113】

第3の実施の形態.

前記第2の実施の形態では、電流源を構成しているNMOSトランジスタQ4～Q6のサイズは、補助電流I_{sub}の設定可能範囲の最大電流に合わせて決められるためどうしても大きくなる。このため、補助電流I_{sub}の設定値が小さい場合には該NMOSトランジスタに作り込まれてしまう寄生容量の充放電に時間がかかり、図10に示すように発光電流の立ち上がり部分で、補助電流I_{sub}が発光電流I_{dac}よりも遅れてしまい、階段状になってしまうという問題が考えられる。

【0114】

一方、補助電流I_{sub}が固定されている場合や設定範囲が狭い場合、又はレ

ーザダイオードLDの点灯パルス幅が広くて多少のタイミングのずれが許容できる場合は、このような問題の影響を無視することができ、小型化及び低コスト化を図ることができる。しかし、このような補助電流 I_{sub} の遅れが問題になるような場合は、発光電流 I_{dac} に対する補助電流 I_{sub} の遅れを低減させる必要があり、このようにしたものを本発明の第3の実施の形態とする。

【0115】

図11は、本発明の第3の実施の形態における半導体レーザ駆動装置の例を示したブロック図である。なお、図11では、図8と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に図8との相違点のみ説明する。

図11における図8との相違点は、図8の I_{sub} 生成回路61を、発光オン信号 S_4 がアサートされると入力される初期化回路14からのデータ $D_p[0:7]$ に応じた電流を出力する電流出力型のDACで構成するようにしたことにより、図8の I_{sub} 生成回路61を I_{sub} 生成回路81にし、これに伴って図8の半導体レーザ駆動装置60を半導体レーザ駆動装置80にしたことにある。

【0116】

図11において、半導体レーザ駆動装置80は、演算増幅器2と、アナログスイッチ3と、ホールドコンデンサ4と、電圧-電流変換回路5と、スイッチ回路6と、可変抵抗7と、基準電圧発生回路8と、制御回路9と、分圧回路10と、発光電流生成回路11とを備えている。更に、半導体レーザ駆動装置80は、バイアス電流生成回路12と、入力されたデジタルデータ信号 SD_2 に応じた補助電流 I_{sub} を生成してレーザダイオードLDに出力する I_{sub} 生成回路81と、制御回路9、分圧回路10、発光電流生成回路11及び I_{sub} 生成回路81の動作制御をそれぞれ行ってレーザダイオードLDの発光特性を検出する所定の初期化動作を行う初期化回路14とを備えている。なお、 I_{sub} 生成回路81は、補助電流生成回路部をなす。

【0117】

また、発光電流生成回路11は、初期化回路14から入力されるデジタルデータ信号 SD_1 に応じた電流値 I_η の発光電流 I_{dac} を出力する。

一方、I s u b 生成回路 8 1 は、制御回路 9 から入力される発光オン信号 S 4 に応じて初期化回路 1 4 から入力されるデータ D p [0 : 7] のデジタルデータ信号 S D 2 に応じた補助電流 I s u b を生成してレーザダイオード L D に出力する。

【0118】

図 1 2 は、I s u b 生成回路 8 1 の回路例を示した図である。なお、図 1 2 では、図 6 と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

図 1 2 において、I s u b 生成回路 8 1 は、電流加算型をなす電流出力型の D A C 8 2 と、デジタルデータ信号 S D 2 におけるデータ D p [0 : 7] の D A C 8 2 への出力制御を行うゲート駆動スイッチ回路 8 3 と、D A C 8 2 から出力された電流を補助電流 I s u b に変換してレーザダイオード L D に出力するカレントミラー回路 8 4 とを備えている。

【0119】

図 1 2 から分かるように、I s u b 生成回路 8 1 は、発光電流生成回路 1 1 と同じ回路構成をなしている。すなわち、D A C 8 2 は D A C 2 1 と、ゲート駆動スイッチ回路 8 3 はゲート駆動スイッチ回路 2 2 と、カレントミラー回路 8 4 はカレントミラー回路 2 3 とそれぞれ同様である。ただし、ゲート駆動スイッチ回路 8 3 には初期化回路 1 4 からデータ D p [0 : 7] が入力されており、該データ D p [0 : 7] は、データ D [0 : 7] と同じであってもよいし、異なっているデータであってもよく、データ D [0 : 7] とは関係せず補助電流 I s u b として必要な電流が得られるデータであればよい。I s u b 生成回路 8 1 は、発光オン信号 S 4 がアサートされると、発光電流生成回路 1 1 から発光電流 I d a c が出力されると同時に I s u b 生成回路 8 1 から補助電流 I s u b を出力する。

【0120】

なお、N M O S トランジスタ Q 1 3, Q C 0 ~ Q C 7 の各電流駆動能力は、対応する N M O S トランジスタ M 3, M C 0 ~ M C 7 の電流駆動能力と同じになるようにしてもよい。更に、P M O S トランジスタ Q 1 4 及び Q 1 5 の各電流駆動能力は、対応する P M O S トランジスタ 3 7 及び 3 8 の電流駆動能力と同じにな

るようにしてもよい。

【0121】

このように、本第3の実施の形態における半導体レーザ駆動装置は、発光電流生成回路11と同じ回路構成を有するIsub生成回路81を備え、Isub生成回路81は、発光オン信号S4がアサートされると、発光電流生成回路11と同時にデータDp[0:7]に対応した補助電流Isubを出力するようにした。このことから、発光電流Idacに対する補助電流Isubの遅れを低減させることができる。

【0122】

なお、前記第1から第3の各実施の形態では、初期化回路14から出力されるデジタルデータ信号SD1が8ビットであり、発光電流生成回路11が8ビットのDACを構成している場合を例にして説明したが、これは一例であり発光電流生成回路11は所定ビットのDACを構成するものであればよい。同様に、前記第1の実施の形態におけるIsub制御回路13が8ビットのDACを構成し、前記第3の実施の形態におけるIsub生成回路81が8ビットのDACを構成する場合を例にして説明したが、これは一例でありIsub制御回路13及びIsub生成回路81はそれぞれ所定ビットのDACを構成するものであればよい。

【0123】

また、前記第1から第3の各実施の形態における半導体レーザ駆動装置を、レーザプリンタやデジタル複写機等の画像形成装置に使用してもよく、このようにした場合、地肌汚れの発生を防止することができる。

【0124】

【発明の効果】

上記の説明から明らかなように、本発明の半導体レーザ駆動装置及び半導体レーザ駆動方法によれば、第2電流に補助電流を加えたことから、第3電流から補助電流を引いた電流が半導体レーザに供給されることから、第1電流と第3電流の和が半導体レーザの発振しきい値電流未満となり、半導体レーザを発光させる前に第1電流及び第3電流を半導体レーザに供給する場合に、該半導体レーザが

発光することを防止でき、光通信等の場合は消光比を大きく取ることができ、レーザープリンタ、デジタル複写機等の画像形成装置に使用した場合、地肌汚れの発生を防止することができる。

【0125】

更に、温度上昇等によって半導体レーザーの特性が変化しても、第1電流と第3電流の和が半導体レーザーの発振しきい値電流を超えることがないため、光通信における消光比や、レーザープリンタ、デジタル複写機等の画像形成装置に使用した場合、より確実に地肌汚れの発生を防止することができる。

【0126】

また、使用する半導体レーザーの常温時と所定の高温時における駆動電流－発光量特性の差から補助電流を設定するようにしたことから、最適な補助電流値を設定することができ、温度上昇等によって半導体レーザーの特性が変化しても、第1電流と第3電流の和が半導体レーザーの発振しきい値電流を超えることがなく、更に半導体レーザーの発光応答遅れをなくすことができる。

【0127】

一方、電源投入時又はリセット解除時等に行う初期化動作によって、半導体レーザーに適した第2電流と第3電流を設定することができ、どのような特性の半導体レーザーにも対応することができる。

【0128】

また、半導体レーザーの発光量を電圧に変換し、該変換した電圧と所定の基準電圧との電圧比較を行って該比較結果を示す電圧を出力し、該比較結果を示す電圧を保持し、該保持した電圧を電流に変換して前記第3電流を生成する場合、初期化動作を行った直後の通常動作時には、該保持した電圧を低下させて前記第3電流を生成するようにした。このことから、半導体レーザーの最大定格を超える電流で該半導体レーザーを駆動することがなくなり、信頼性の向上を図ることができる。更に、第3電流の設定は、従来と同じAPC動作で行うことができるため信頼性の確立した回路がそのまま使用することができ、信頼性の向上を更に図ることができる。

【0129】

更に、本発明の半導体レーザ駆動装置によれば、補助電流制御回路部によって第2電流生成回路部をなすD/Aコンバータの基準電流に所定の電流を加算するようにしたことから、遅れの無い補助電流を第2電流に加算させることができる。

【0130】

また、第2電流の生成に電流加算型をなす電流出力型のD/Aコンバータを使用したことから、第2電流の立ち上がり応答を速くすることができると共に、第2電流値を容易に変えることができる。

【0131】

また、補助電流生成回路部に電流加算型をなす電流出力型のD/Aコンバータを使用することができ、小型で安価な回路で補助電流を生成することができ、補助電流の立ち上がり特性を改善することができる。

【0132】

一方、本発明の画像形成装置によれば、第2電流に補助電流を加えたことから、第3電流から補助電流を引いた電流が半導体レーザに供給されることから、第1電流と第3電流の和が半導体レーザの発振しきい値電流未満となり、半導体レーザを発光させる前に第1電流及び第3電流を半導体レーザに供給する場合に、該半導体レーザが発光することを防止でき、光通信等の場合は消光比を大きく取ることができ、地肌汚れの発生を防止することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における半導体レーザ駆動装置の例を示したブロック図である。

【図2】 図1の各信号の例を示したタイミングチャートである。

【図3】 図1の初期化回路14による初期化動作例を示したフローチャートである。

【図4】 図3の初期化動作時における図1の各信号の例を示したタイミングチャートである。

【図5】 図4で示した各状態A～Fにおける各電流の関係例を示した図である。

【図6】 図1の発光電流生成回路11及びIsub制御回路13の回路例を示した図である。

【図7】 図1のレーザダイオードLDの発光特性例を示した図である。

【図8】 本発明の第2の実施の形態における半導体レーザ駆動装置の例を示したブロック図である。

【図9】 図8のIsub生成回路61の回路例を示した図である。

【図10】 図8のLD駆動電流Iopの特性例を示した図である。

【図11】 本発明の第3の実施の形態における半導体レーザ駆動装置の例を示したブロック図である。

【図12】 図11のIsub生成回路81の回路例を示した図である。

【図13】 従来の半導体レーザ駆動装置の例を示した図である。

【図14】 図13で示した各信号のタイミングチャートである。

【図15】 図13のレーザダイオードLDの発光特性例を示した図である。

。

【符号の説明】

- 1, 60, 80 半導体レーザ駆動装置
- 2 演算増幅器
- 3 アナログスイッチ
- 4 ホールドコンデンサ
- 5 電圧-電流変換回路
- 6 スイッチ回路
- 7 可変抵抗
- 8 基準電圧発生回路
- 9 制御回路
- 10 分圧回路
- 11 発光電流生成回路
- 12 バイアス電流生成回路
- 13 Isub制御回路
- 14 初期化回路

21, 82 DAC

22, 83 ゲート駆動スイッチ回路

23, 84 カレントミラー回路

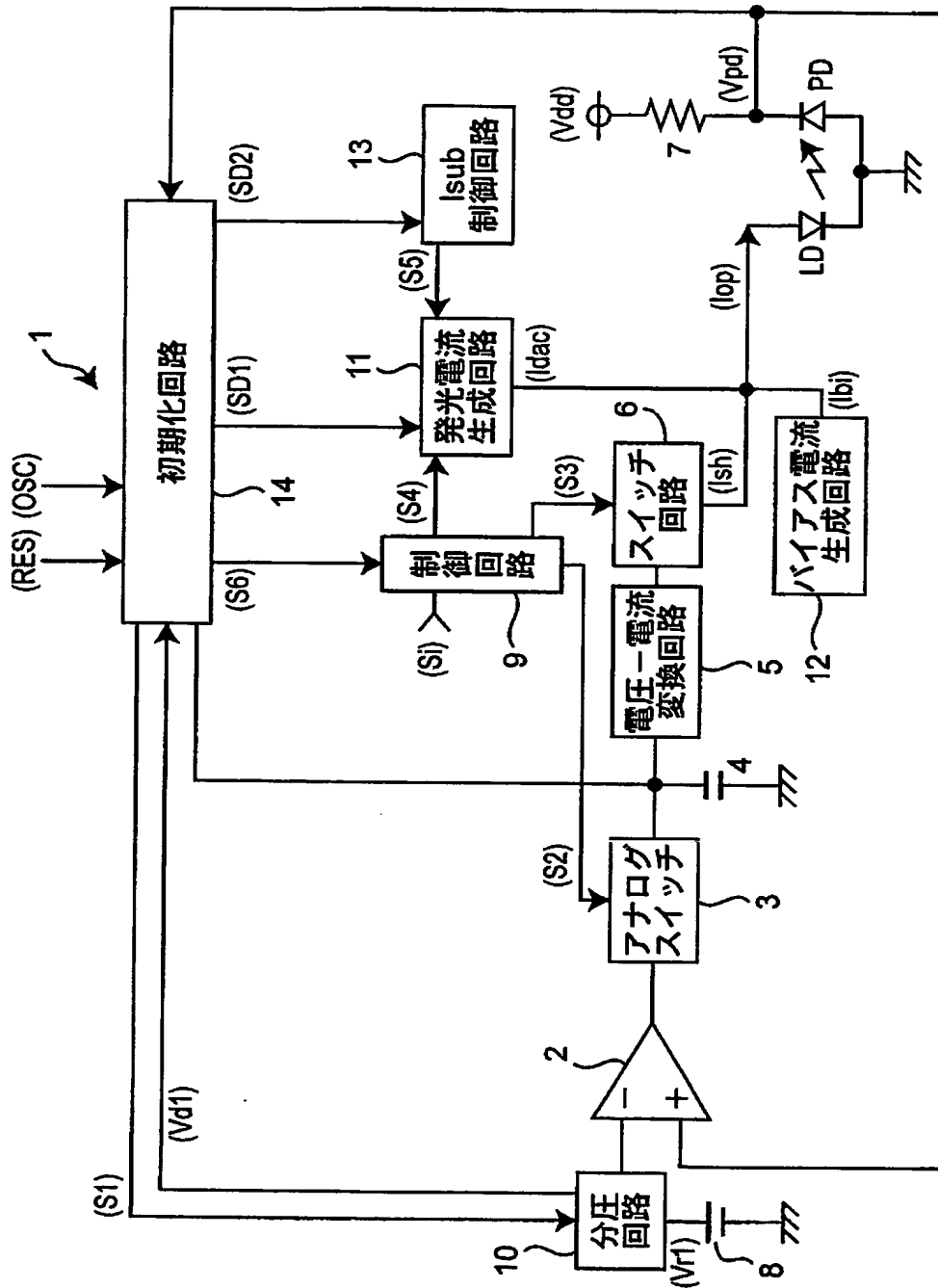
61, 81 Isub生成回路

PD フォトダイオード

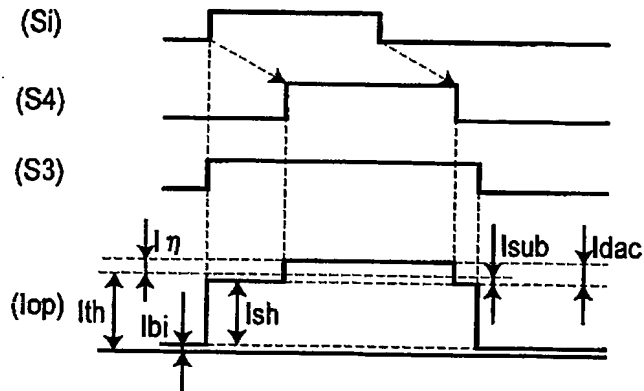
LD レーザダイオード

【書類名】 図面

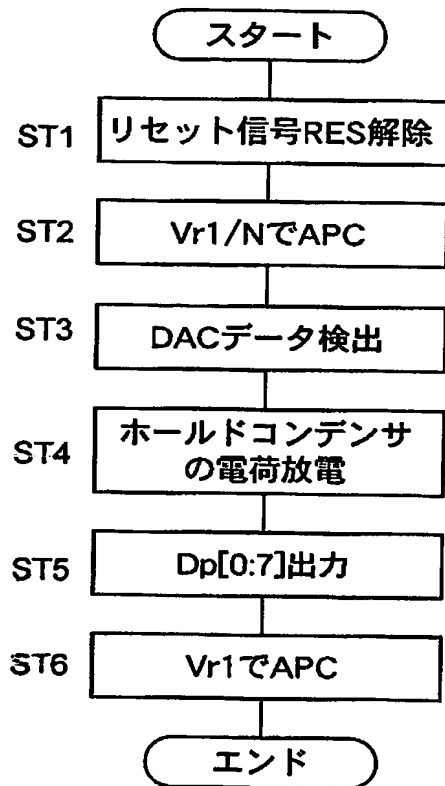
【図1】



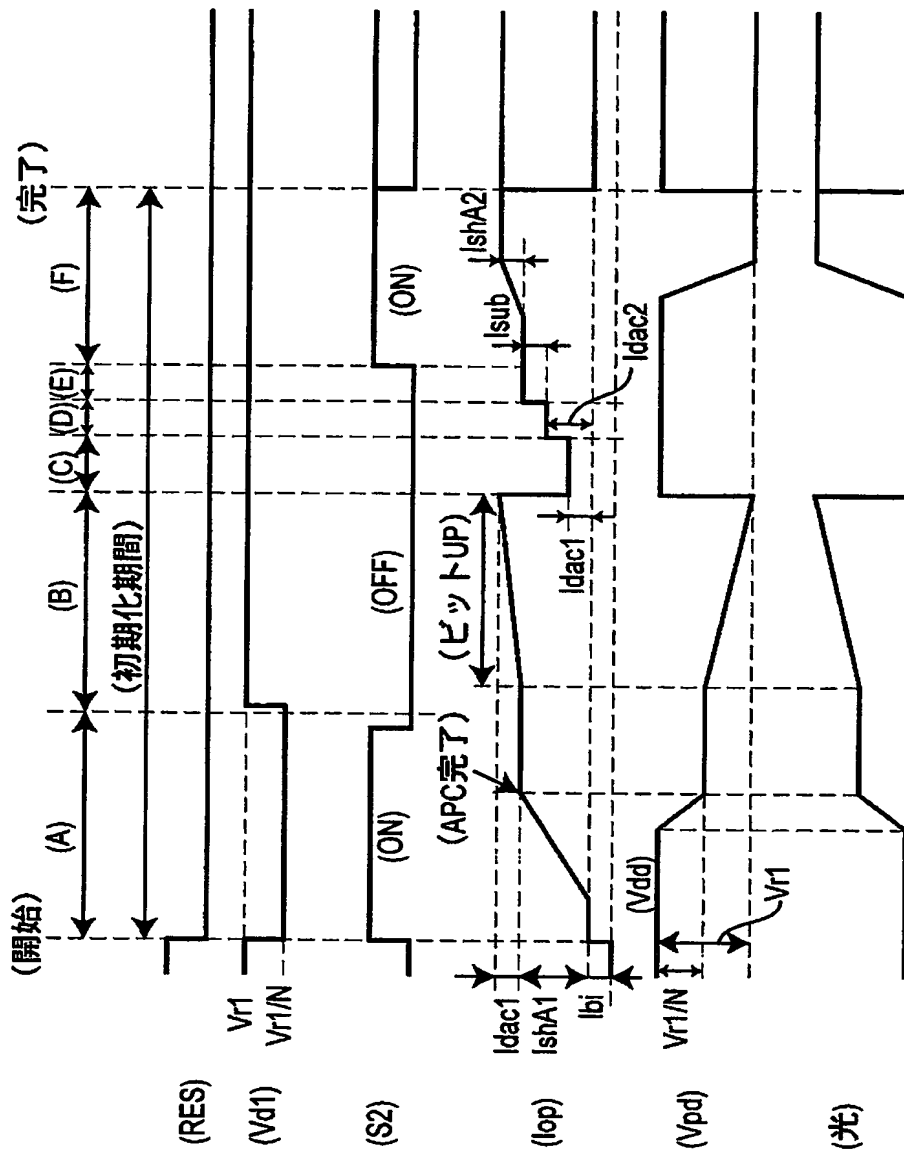
【図 2】



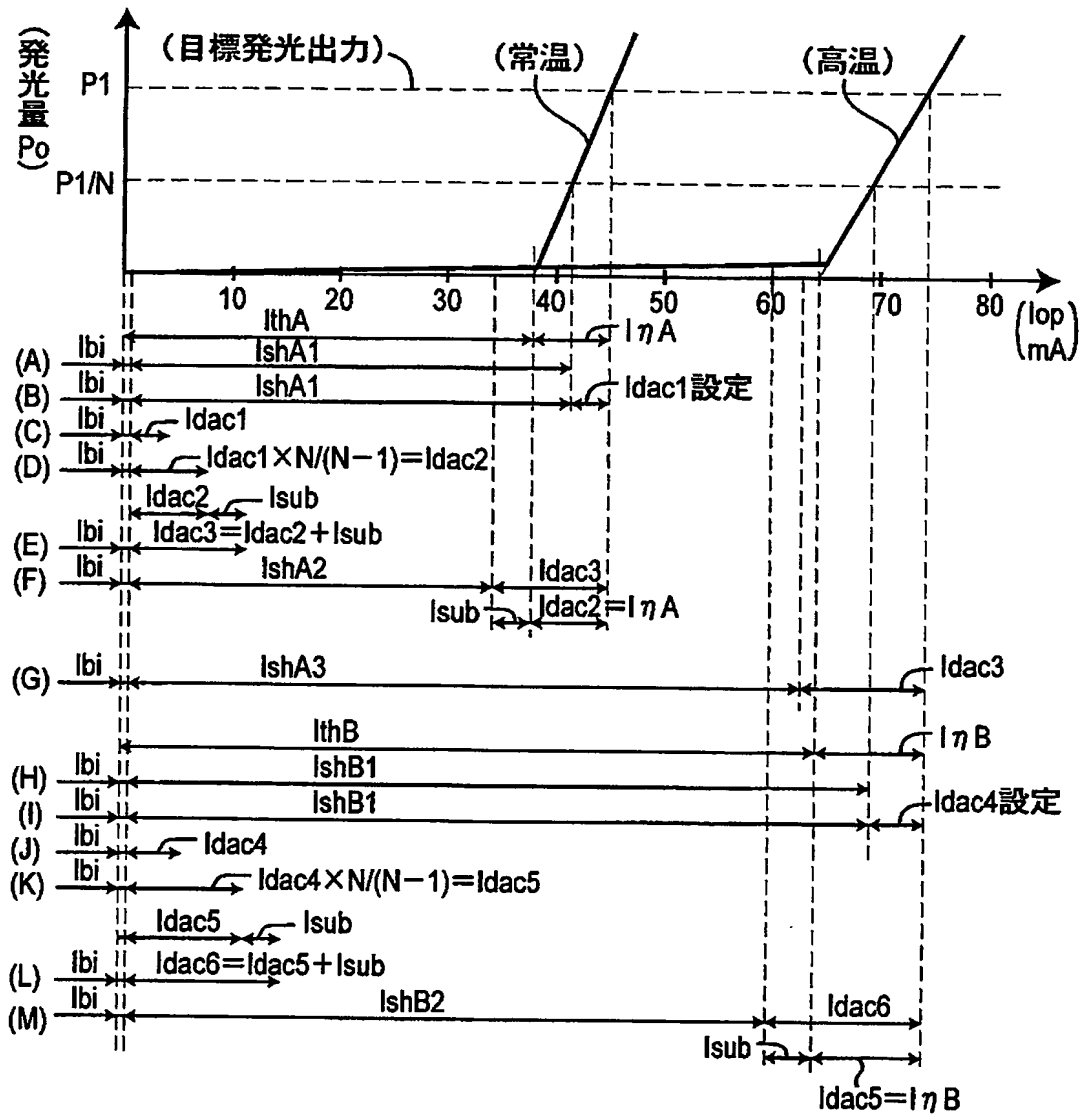
【図 3】



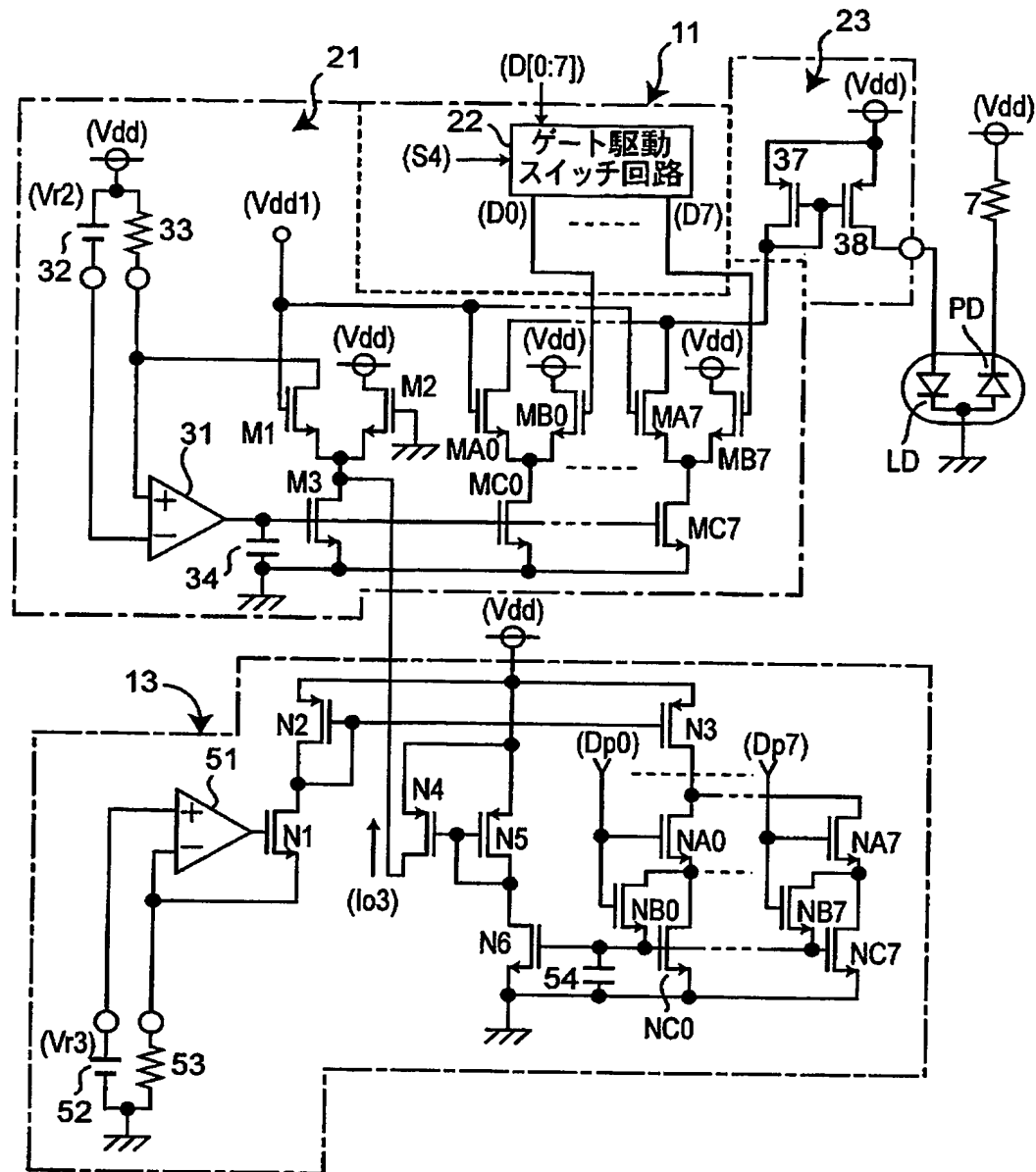
【図 4】



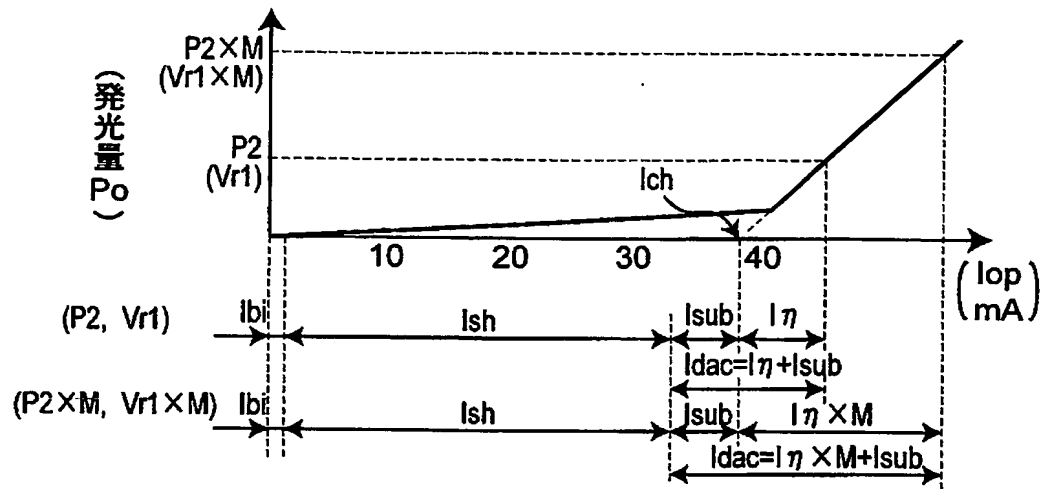
【図 5】



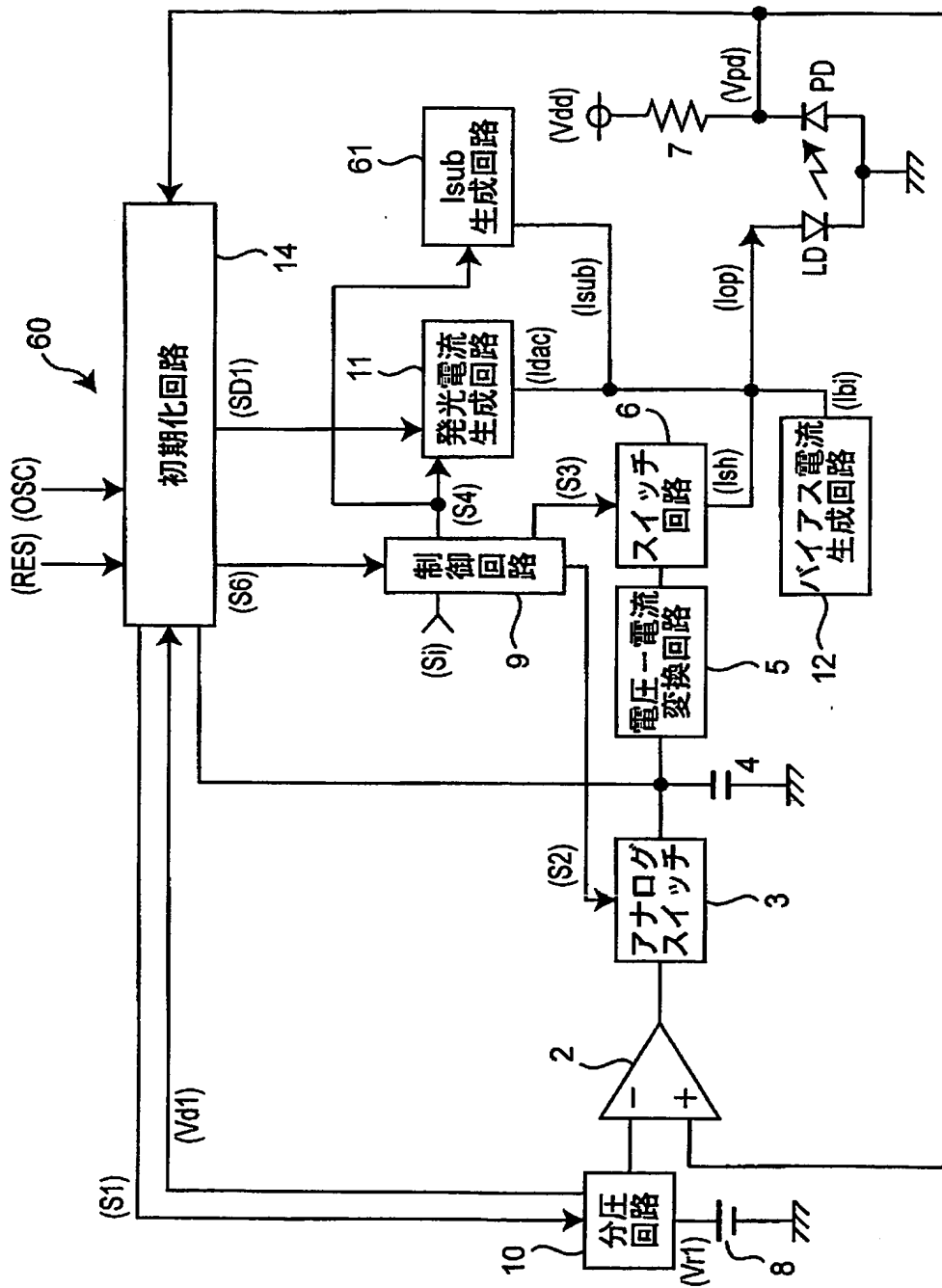
【図 6】



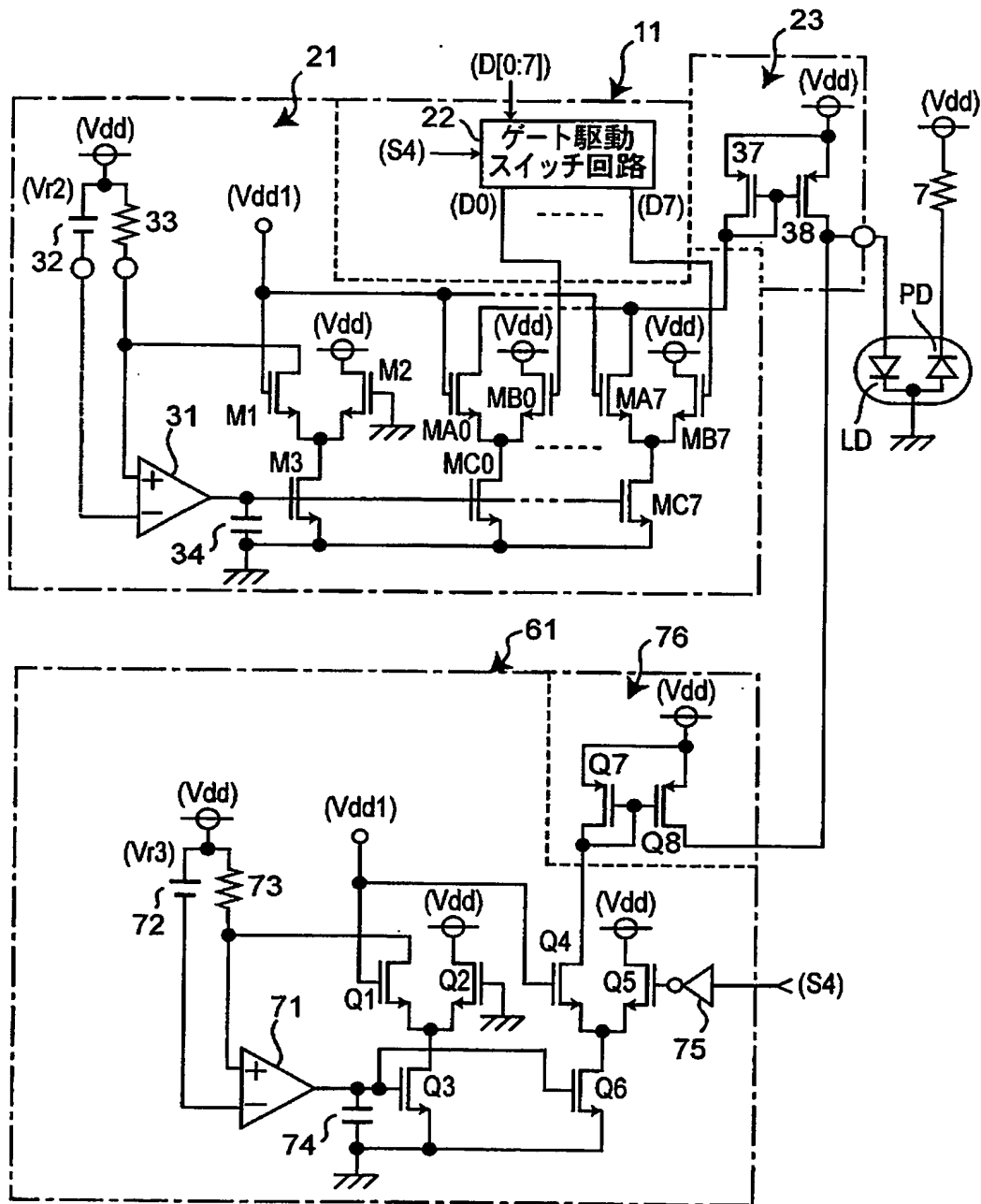
【図 7】



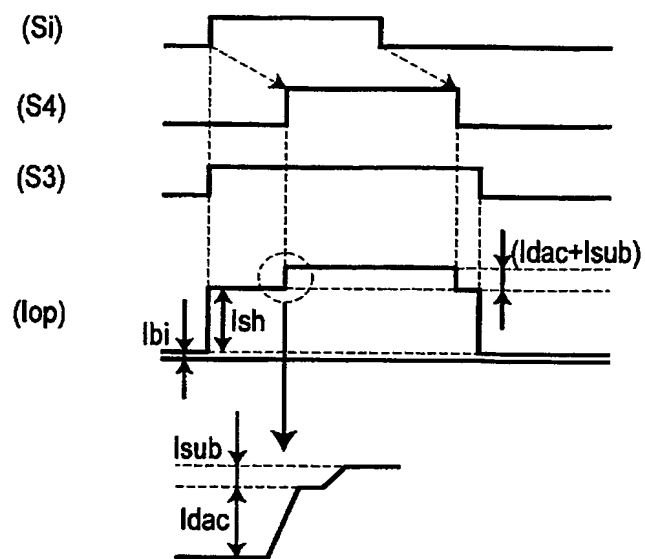
【図 8】



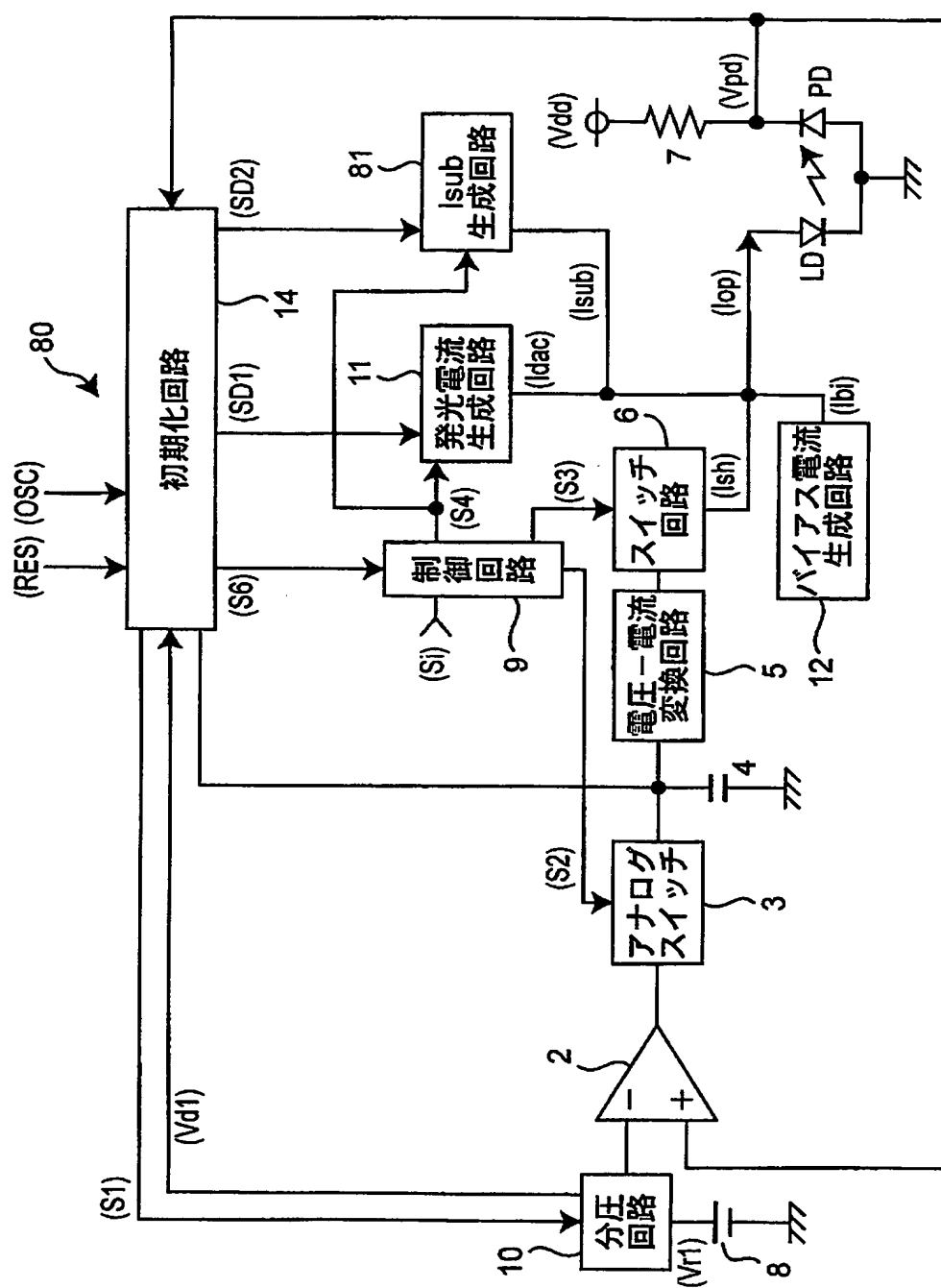
【図 9】



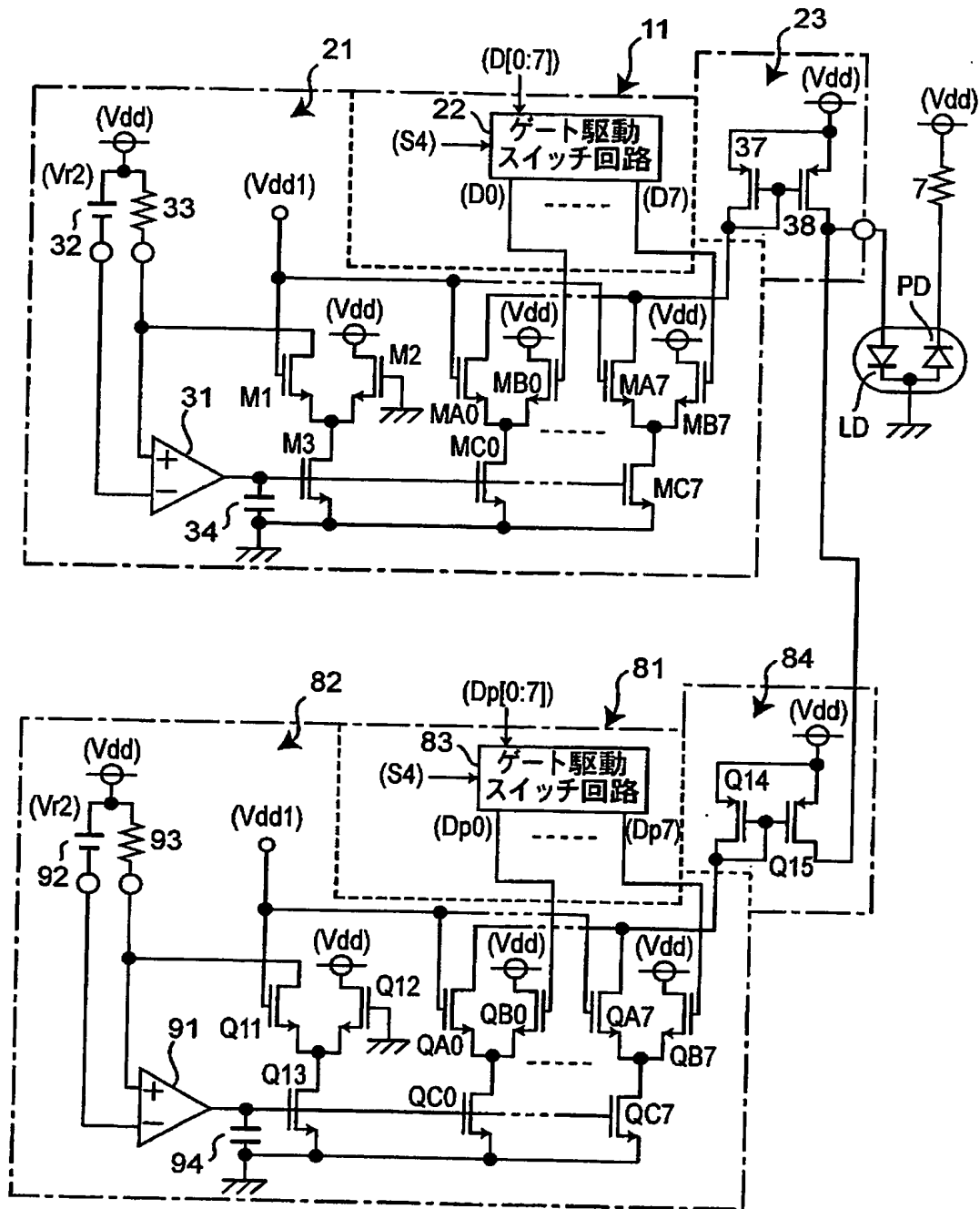
【図 10】



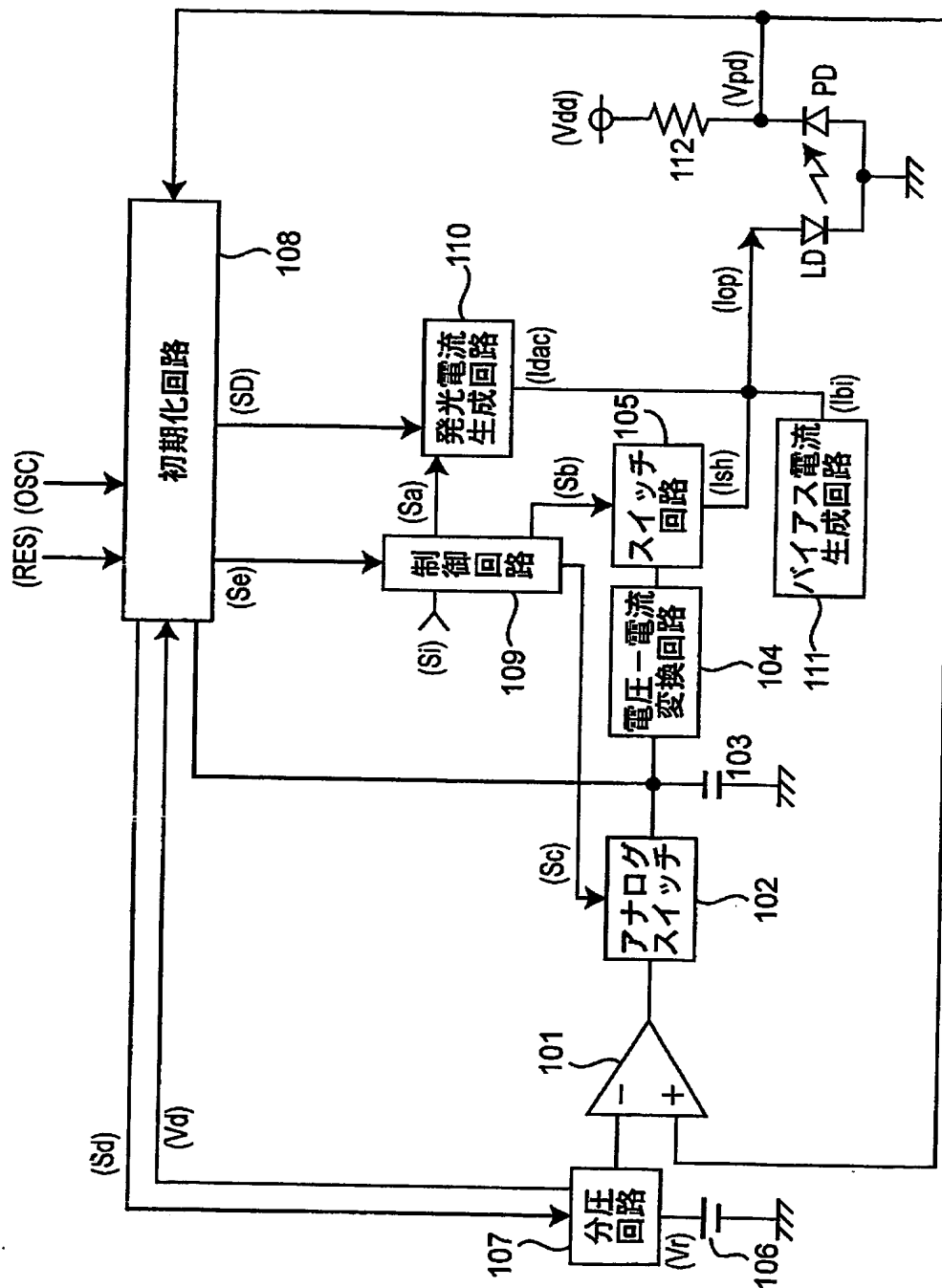
【図 1 1】



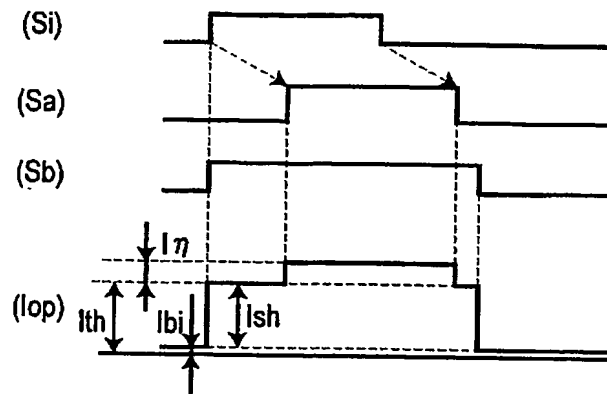
【図 12】



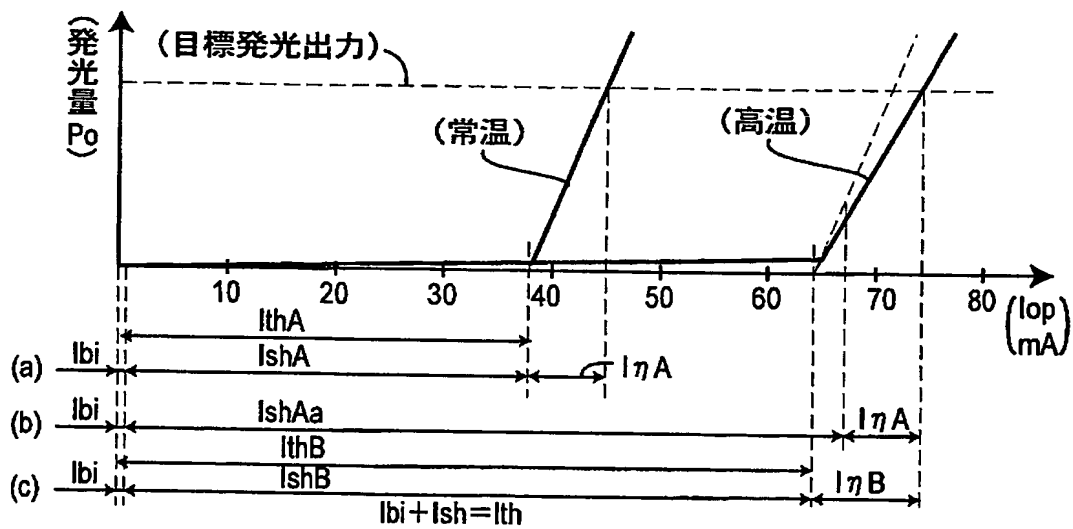
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 周囲温度が上昇してレーザダイオードの発振しきい値電流が増加しても、バイアス電流と発振しきい値電流だけでは半導体レーザが発光しないようにすることができる半導体レーザ駆動装置、半導体レーザ駆動方法及び半導体レーザ駆動装置を使用した画像形成装置を得る。

【解決手段】 電流出力型のDACを構成する発光電流生成回路11が、初期化回路14から入力されるデジタルデータ信号SD1に応じた電流値 I_{η} に、発光電流生成回路11におけるDACの基準電流に初期化回路14から入力されるデジタルデータ信号SD2に応じた I_{sub} 制御回路13からの制御電流を加算することによって得られた補助電流 I_{sub} を、初期化回路14から入力されるデジタルデータ信号SD1に応じた電流値 I_{η} に加えた発光電流 I_{dac} を出力するようにした。

【選択図】 図1

特願 2002-318108

出 願 人 履 歴 情 報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.